

Exámenes de Unidad de memoria

Problemas

Junio 2001 - 1º S

Problema 2.13 del libro de problemas

Septiembre 2000

Problema 2.8 del libro problemas

Junio 2000 - 1º S

Problema 2.12 del libro problemas

Preguntas de test

Sep 2002 - 2º

$$\frac{10^{20} - 10^{18}}{10^{20}} \times 100 = 99\% \Rightarrow \underline{\underline{B}}$$

Sep 2002 - 3º

$$2^7 \text{ conjuntos} \times 2 \text{ bloq/conj} \times 2^5 \text{ pal/conj} = 2^7 \times 2 \times 2^5 = 2^{13} = 8192 \Rightarrow 8K \Rightarrow \underline{\underline{D}}$$

Sep 2002 - 6º

usar cache

Junio 2002 - 2º S - 1º

$$6B59 \Rightarrow \begin{array}{ccc} \text{ETI8} & \text{BL} & \text{PAL} \\ \hline 0110 & 1011 & 0101 & 1001 \end{array}$$

$$1024 : 8 = 128 \Rightarrow 2^7$$

107 \Rightarrow I \rightarrow cierto

$$675E = \underbrace{0110}_{\text{ETI}} \underbrace{0111}_{\text{BL}} \underbrace{0101}_{\text{PAL}} 1110 \Rightarrow \text{ETI diferente} \Rightarrow \text{No está en cache}$$

\Downarrow
II = cierto

E.U.M. 1

Junio 2002 - 2^a S - 2^a

Los obs falsos \Rightarrow D

Junio 2002 - 2^a S - 3^a

ROM \Rightarrow 16K RAM 16K \div 64K

Tom pg = 16K \Rightarrow 4 pg \Rightarrow selec pg A15 A14

Con A15 A14 \Rightarrow selec. ROM \Rightarrow I = cierto

II \Rightarrow Falso \Rightarrow B

Junio 2002 - 2^a S - 4^a

No alectoria

veloc. transf. = $2 \cdot 10^6$ bit/seg $t_b = 2$ mseg

¿ leer 10^3 bytes?

$$\text{transferencia} = \frac{10^3 \cdot 8}{2 \cdot 10^6} = 4 \text{ mseg} \rightarrow + t_b = 6 \text{ mseg} = \underline{\underline{A}}$$

Junio 2002 - 2^a S - 5^a

$$t_a = h \cdot t_{ca} + (1-h) t_p = 0,9 \cdot 20 + (1-0,9) \cdot (8 \cdot 200 + 20) = 180 \text{ nseg}$$

\downarrow
 \downarrow
B

Junio 2002 - 1^a S - 2^a

RAM \rightarrow 1024 \times 16

CCJJ \rightarrow 128 \times 8

Bus direcciones \rightarrow 1024 = $2^{10} \Rightarrow$ 10 líneas bus dir

128 = $2^7 \Rightarrow$ 7 líneas el CJ

\downarrow
10 lin. bus dir. - 7 comunes \Rightarrow A

Junio 2002 - 1ª S - 4ª

¿Frecuencia de acces = mem si: $t_a = 100 \text{ nseg}$ y $t_c = 200 \text{ nseg}$?

$$\text{frec. acces} = \frac{1}{t_c} = \frac{1}{200 \cdot 10^{-9}} = 5 \cdot 10^6 \text{ pal / seg} \Rightarrow 8$$

Junio 2002 - 1ª S - 8ª

Cache $\rightarrow 128 \text{ pal}$ / partic de 16 pal / $t_a = 10 \mu\text{s}$

Mem ppal = 1024 K / $t_a = 200 \mu\text{seg}$

Política ubicación $\Rightarrow 20 \mu\text{seg}$

$$H = 99\%$$

I) $t_{\text{medio}} = 42,2 \mu\text{seg}$

II) Sistema 4 a 5 veces más rápido.

\rightarrow Cada fallo $\Rightarrow 16 \times 200 \mu\text{seg} + 20 + 10 = 3230 \mu\text{seg}$

$$t_{\text{am}} = h \cdot t_{\text{ca}} + (1-h) t_{\text{p}} = (0,99 \cdot 10 \mu\text{s}) + (1-0,99) \cdot 3230 \mu\text{seg} = 42,2 \mu\text{s}$$

\Downarrow I) si

$$\begin{array}{l} \rightarrow \text{Sin mem. cache} \Rightarrow 200 \mu\text{seg} \\ \text{con " " } \Rightarrow 42,2 \mu\text{seg} \end{array} \left\{ = \frac{200}{42,2} = 4,74 \Rightarrow \text{II) si} \right.$$

\Downarrow
 Δ

Septiembre - 2001 - 4ª

Mem. asociativa

\rightarrow Etiqueta = 0 \Rightarrow No se comprueba
 \rightarrow Más cara = 0 \Rightarrow No se compara

\Downarrow

Todas las máscaras producen la marca indicada

\Downarrow

C

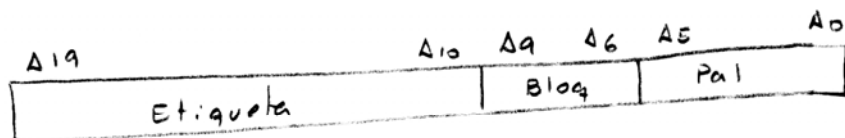
Septiembre 2001. 6*

Caché corresp. directa \rightarrow 64 pal/parti
1024 palabras

Mem ppal 2^{20} palabras

$$\frac{1024}{64} = 16 \text{ parti.} \Rightarrow 2^4 \Rightarrow 4 \text{ bit parti.}$$

$$64 = 2^6 = 6 \text{ bit dir palabra}$$



I) 1D45Fy 02075 \rightarrow están en parti 4

$$1D45F \rightarrow 0001 \ 1101 \ 0100 \ 0101 \ 1111$$

$$02075 \rightarrow 0000 \ 0010 \ 0000 \ 0111 \ 0101$$

Parti \Rightarrow 1. \Rightarrow I = Falso

II) 2A23B \rightarrow partición 8

$$2A23B \rightarrow 0010 \ 1010 \ 0010 \ 0011 \ 1011$$

Part \Rightarrow 8 \Rightarrow II = cierto

C

Junio 2001 - 2^a S-1^a

Mem-caché $\rightarrow 2^{20}$ accesos $\Rightarrow 2^{17}$ fallos ¿Tasa aciertos?

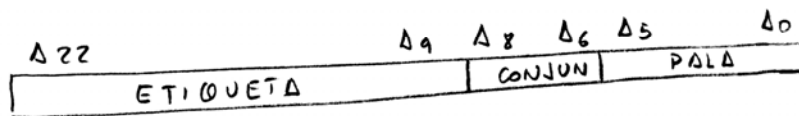
$$H = \frac{\text{aciert.}}{\text{aciert.} + \text{fallos}} = \frac{2^{20} - 2^{17}}{2^{20}} = 0,875 \Rightarrow 87,5\% \Rightarrow \underline{\underline{A}}$$

Orden. $\left\{ \begin{array}{l} \text{Mem. ppal} \rightarrow 8192 \text{ Kpal} \\ \text{Cache} \rightarrow 2 \text{ Kpal} \rightarrow \text{Asoc. conjun} \\ 64 \text{ pal/parti} \rightarrow 4 \text{ par/conjun} \end{array} \right.$

$$64 \times 4 = 256 \text{ pal/conjun} \Rightarrow \frac{2048}{256} = 8 \text{ conjuntos} \Rightarrow 2^3$$

$$64 \text{ pal/parti} \Rightarrow 2^6 \Rightarrow 6 \text{ bit} \Rightarrow$$

$$8192 \text{ Kpal} \Rightarrow 2^{23} \Rightarrow 23 \text{ bit bus dir} \rightarrow \text{orig} = 23 - 6 - 3 = 14 \text{ bits}$$



1º) llena con Prog 1

2º) Prog 2 \Rightarrow dir $128 \div 143$
 +
 bucle 131, 132, 133 \rightarrow 20 veces
 +
 $134 \div 168$

¿Tasa aciertos?

a) $128 \div 143 \Rightarrow$ fallos \Rightarrow 16 aciertos \Rightarrow 1 fallo pq falla en 1ª palabra pero luego trae el bloque entero $128 \div 141$

$0 \div 63 \Rightarrow$ conj 0
 $64 \div 127 \Rightarrow$ " 1
 $128 \div 191 \Rightarrow$ " 2

$131, 132, 133 \Rightarrow 3 \times 20 \text{ aciertos} = 60 \text{ aciertos pero } \emptyset \text{ fallos}$

$134 \div 168 \Rightarrow 134 \div 143 \rightarrow 10 \text{ aciertos} \rightarrow \emptyset \text{ fallos}$

$144 \div 168 \Rightarrow 25 \text{ aciertos} \rightarrow \emptyset \text{ fallos}$

aciertos = $16 + 60 + 10 + 25 = 111 \text{ aciertos}$

fallos = 1 fallos

$$H = \frac{111 - 1}{111} \times 100 = 99,09\% \Rightarrow \underline{C}$$

Junio 2001 - 1^aS - 2^a

Mem cache 2^{20} accesos y 2^{17} fallos \rightarrow Tasa fallos

$$\text{Tasa fallos} = \frac{\text{fallos}}{\text{accesos}} \times 100 = \frac{2^{17}}{2^{20}} \times 100 = 12,5\% \Rightarrow \underline{\underline{B}}$$

Junio 2001 - 1^aS - 3^a

Procesador $\Rightarrow \Delta_{11} - \Delta_{10}$

C.I. $\Rightarrow 2k \text{ pal}$

$\Delta_1 \Rightarrow$ set módulos

A) dir C89 y C8A mismo módulo

B) " C89 y C8A distinto "

C) El módulo viene determinado por Δ_{10}

$2k \text{ pal} \Rightarrow 2048 \Rightarrow 2^{11} \Rightarrow \Delta_0 \div \Delta_{10} \Rightarrow 2 \text{ módulos}$

Δ_{11}	Δ_{10}	Δ_9	Δ_8	Δ_7	Δ_6	Δ_5	Δ_4	Δ_3	Δ_2	Δ_1	Δ_0	
1	1	0	0	1	0	0	0	1	0	0	1	C89
1	1	0	0	1	0	0	0	1	0	1	0	C8A

Diferente módulo \Rightarrow B = Cierbo

Sep 2000 - 5^a

Comput. sistema jerárquico de mem.

I) Coste por palabra de la caché prim & caché secund

II) Caché prima tamaño \leq que la segunda y contendrá copia de algunos bloques de ésta.

I) Falso II) Cierbo $\Rightarrow \underline{\underline{C}}$

Septiembre 2000 - 6^a

En mem. cache correspondencia totalmente asociativa

- I) No se necesita politica de reemplazamiento \Rightarrow Falso
- II) Un algor. de reemplaz. es el aleatorio \Rightarrow cierto
 \Downarrow
C

Septiembre 2000 - 7^a

Procesador $A_{11} \div A_0$
C.C.II 1Kpal

$(A_1 - A_0) \rightarrow$ seleccionar módulo

$$A_0 \div A_{11} \Rightarrow 12 \text{ bit} \Rightarrow 2^{12} = 4096 \Rightarrow \frac{4096}{1024} = 4 \text{ C.C.II}$$

\Downarrow
2 bit selección

I) C89 y C8A \rightarrow mismo módulo

II) C89 y C8A \rightarrow distin. "

A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	
1	1	0	0	1	0	0	0	1	0	0	1	\rightarrow C89
1	1	0	0	1	0	0	0	1	0	1	0	\rightarrow C8A

\Downarrow
C89 y C8A \rightarrow dif. módulo \Rightarrow II = cierto
 \Downarrow
B

Septiembre 2000 - B^a

Comput. 4096 mem.

Cache 64 pal → Corres directa → 16 pal/parti

1º) Cache varía

2º) Leer

	ETI A	PART	PAL
	0000000	01	0000
	0001000	01	0100
	0000001	00	1000
	0000011	11	1000

Cache ⇒ $\frac{64}{16} = 4$ particiones ⇒ $\Delta_0 \div \Delta_3 \rightarrow$ dir pal
 $\Delta_4, \Delta_5 \rightarrow$ parti

4096 ⇒ $2^{12} \Rightarrow \Delta_0 \div \Delta_{11} \rightarrow \Delta_6 \div \Delta_{11} \rightarrow$ etiqueta

I) 00000 1111 000 → en bloque 3 ⇒ Cierbo
 Bloq

II) bloque 1 asociada etiqueta 000100 ⇒ Cierbo pq
 última escrit. en bloque 1 → 000100 | 0110100

⇓
 A

Junio 2000 - 2ª S - 1ª

sist. jerárquico de mem

}	Cache	256 pala
		8 pal/parti
		$t_{ca} = 10 \text{ nseg}$
}	Principal	1024 K pal
		$t_p = 100 \text{ nseg}$

$h = 0.2$

$t_a = h \cdot t_{ca} + (1-h) t_p \Rightarrow$

↓ fallo ⇒ 8 palabras ⇒ $8 \cdot 100 \text{ nseg} + 10 \text{ nseg} = 810 \text{ nseg}$

$t_a = 0.9 \cdot 10 + (1-0.9) \cdot 810 = 90 \text{ nseg} \Rightarrow \underline{C}$

Junio - 2000 - 2^{es} - 3^a

d' Mem. asociativa en qué palabra se escribe un nuevo dato?

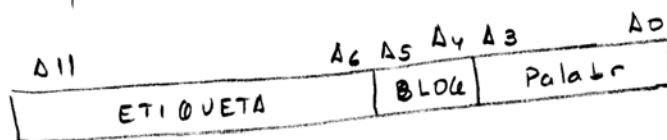
En la 1^a con la etiqueta = 0 \Rightarrow 3

Junio 2000 - 2^{es} - 6^{es}

Computador { Mem. ppal = 4096 pal
 Cache = { - 64 pal
 - corres. directa
 - 16 pal/parti
 - Inicio = vacía
 - Lecturas { 000000010000
 000100010100
 000001001000
 000001111000

- I) La palabra de la dir. 00001111000 está en conj. 0 de la cache'
 II) El conj. 1 tiene asociada la etiq. 000000

$4096 \text{ pal} = 2^{12} \Rightarrow A_0 \div A_{11}$ $16 \text{ pal/p} = 2^4 \Rightarrow A_8 \div A_3$
 $\frac{64}{16} = 4 \text{ bloques} \Rightarrow 2^2 \Rightarrow A_4 - A_5 \xrightarrow{\text{etiqueta}} A_6 \div A_{11}$



I) $\frac{00001111000}{\text{ETI} \quad \text{BL} \quad \text{Pal}} \Rightarrow \text{Conjunto} = 3 \Rightarrow \text{I} = \text{Falso}$

II) El conj. 1 se escribe en 2^{es} pal. $\frac{000100010100}{\text{Eti} \neq 000000} \Rightarrow \text{II} = \text{Falso}$

Junio 2000 - 2^{es} - 8^{es}

Procesador $\Rightarrow A_{11} \div A_0 \rightarrow$ Módulos Mem = 1K

A_{11} y $A_0 \Rightarrow$ selec. módulo.

En el mapa la dir. base (1^a de cada módulo) es:

$A_{11} \div A_0 \Rightarrow 2^{12} = 4096 \rightarrow \text{Mod} \rightarrow 1\text{K} \Rightarrow 4 \text{ mod} \Rightarrow 2^2 \Rightarrow 2 \text{ bit dir} \Rightarrow A_{11} A_{10}$
 1^{er} mod = 00 0000 0000 0000 \Rightarrow 000H 3^{er} mod = 1000 ... \Rightarrow 800H
 2^o mod = 01 0000 ... 0 \Rightarrow 400H 4^o mod = 1100 ... \Rightarrow C00H

E.U.M.9

Junio 2000 - 1ª S - 3ª

En la mem. asociativa:

ADG	1	0	0	1	1	0	1	0
MASC	1	0	0	1	0	1	0	1
ETIQUETA	1	1	0	1	1	1	1	1
	1	1	0	1	1	0	1	0
	0	1	0	0	1	0	0	0
	0	1	0	1	0	0	1	1
	0	1	1	0	1	1	0	0

MARCA → 0
 → 1
 → 1 ⇒ C
 → 0
 → 0

Junio 2000 - 1ª S - 5ª

Computador {

- Mem ppal → 256 pal
- Cache {
 - 32 pal
 - Total. asociativa
 - 8 pal/partición
 - Reemplaza → más antiguo
- Lecturas dir. {
 - 00000000 → Fallo → entra
 - 00000001 → Acierto
 - 00000011 → Acierto
 - 00100001 → Fallo → entra
 - 00100101 → acierto
 - 00010000 → acierto
 - 00010010 → "
 - 00000000 → " $\frac{32}{8} \Rightarrow 4$ particiones

→ $2^8 \rightarrow \Delta 0 \div \Delta 7$
 → $2^5 \rightarrow \Delta 0 \div \Delta 4$
 ↓
 etiqueta
 $\Delta 5 - \Delta 7$

Si se lee la dir 00100111

- I) Habría acierto
- II) Hay fallo y hay que reemplazar.

00100111 ⇒ acierto pq entra con la 4ª lectura → I = cierto
 etiqueta ⇒ II = Falso
 B

Test 2000-1: Test 1ª semana de Junio de 2000

5.- Un computador tiene una unidad de memoria de 256 palabras y una memoria caché de 32 palabras. La memoria caché es totalmente asociativa, con un tamaño de partición de 8 palabras. Cuando se produce un fallo en la caché se reemplaza la partición más antigua. Suponer que inicialmente la memoria caché está vacía y que se leen sucesivamente las direcciones de memoria principal: 00000000, 00000001, 00000011, 00100001, 00100101, 00010000, 00010010 y 00000000. Si se leyera la dirección 00100111.

I. Se produciría un acierto en la memoria caché.

II. Se produciría un fallo en la memoria caché y sería necesario reemplazar uno de los bloques existentes en la caché.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Preguntas:

Test 1ª semana Junio 2000 Pregunta 5. La respuesta pone como válida que se produciría un acierto en la memoria caché. Tenemos dos dudas. Por un lado como sacamos el tamaño de la etiqueta y de la palabra, y por otro pq dice que hay un acierto en la caché, cuando la etiqueta sí se encuentra pero no se encuentra la palabra de la dirección que nos piden leer. Cada vez que hay un fallo en cache, se baja todo un bloque de principal ¿Por qué no está haciendo eso aquí?

Respuesta:

Formato de dirección:

Memoria 256 palabras $\Rightarrow 2^8 \Rightarrow$ bus direcciones A0 a A7 (8 bits)

Caché 32 palabras con 8 palabras/bloque $\Rightarrow 32/8 = 4$ bloques

8 palabras/bloque $\Rightarrow 2^3 \Rightarrow 3$ bits para selección de palabra

Al ser totalmente asociativa el formato está formado por los bits de dir de palabra (bits menos significativos) (3) y el resto de bits (más significativos) configuran la etiqueta.

A7	A6	A5	A4	A3	A2	A1	A0
Etiqueta					Dir. de palabra dentro del bloque		

Reemplazamiento del bloque más antiguo.

Secuencia de lectura	Consecuencia
00000 : 000	Entra en el bloque 0 y trae todo el bloque hasta la dir 00000111
00000 : 001	Está en el bloque 0 pq lo ha traído en la lectura anterior
00000 : 011	“ “ “ “
00100 : 001	Entra en el bloque 1 y se trae desde la dir 00100-000 hasta la 00100-111
00100 : 101	Está en el bloque 1 pq lo ha traído en la lectura anterior
00010 : 000	Entra en el bloque 2 y se trae desde la dir 00010-000 hasta la 00010-111
00010 : 010	Está en el bloque 2 pq lo ha traído en la lectura anterior
00000 : 000	Está en el bloque 0 pq lo ha traído en la primera lectura.

Siguiente lectura = dirección 00100-111 \Rightarrow está en el bloque 1 pq ha traído ese bloque al producirse fallo de pq al leer la dir 00100-001 \Rightarrow hay acierto \Rightarrow La opción "I" es cierta.

II) Si se produjera un fallo no sería necesario reemplazar ningún bloque pq todavía queda libre el bloque 3, ya que se han llenado los tres primeros.

Junio 2000 - 1º S - 7º

Sist. jerárquico de mem.

Caché $\left\{ \begin{array}{l} - 256 \text{ pal} \\ - \text{part } 8 \text{ pal} \\ - t_{ca} = 10 \text{ nseg} \end{array} \right.$

Mem ppal $\left\{ \begin{array}{l} 1024 \text{ K pal} \\ t_p = 100 \text{ nseg} \end{array} \right.$

Fallo \Rightarrow dato \leftarrow caché y a CPU.

$$H = 90\%$$

¿T. acceso medio del conjunto?

$$t_a = H \cdot t_{ca} + (1-H) t_p$$

$$t_p \Rightarrow \text{fallo} \Rightarrow 8 \text{ pal} \Rightarrow 8 \cdot 100 = 800 \text{ nseg}$$

$$t_a = 0,9 \cdot 10 + (1-0,9) \cdot 800 = 89 \text{ nseg} \Rightarrow \underline{C}$$

Junio 2000 - 2º S - 2

computador con 13 líneas de direcciones tiene mem. de $3 \cdot 2^{18}$ palabras y E/S localizada en mem. N.º máximo de periféricos si cada ellos utiliza 16 direcciones

13 líneas $\Rightarrow 2^{13}$ direcciones

\Downarrow

$$2^{13} - 3 \cdot 2^{18} = 2048 \text{ dir. libres}$$

\Downarrow

$$\frac{2048}{16 \text{ dir/peri}} = 128 \text{ periféricos}$$

\Downarrow

2^7

\Downarrow

B

Septiembre 2003 - B

La mem. principal de un computador utiliza módulos de mem RAM de 64Kpal. x 16 bits/palabra. Indicar si las afirmaciones son ciertas:

I. - se necesitan 8 módulos para proporcionar 256 Kpal x 32 bits

$$N^{\circ} \text{ módulos} = \frac{\text{Neces. mem}}{\text{Capa. mód}} = \frac{256 \text{ K} \times 32}{64 \text{ K} \times 16} = 8 \text{ módulos}$$

II. - se necesitan 2 módulos para proporcionar una capacidad de 128 Kpal x 8 bit/pal.

$$N^{\circ} \text{ módulos} = \frac{128 \times 8}{64 \times 16} = 2 \text{ módulos} \rightarrow \text{Cada módulo tiene una anchura de 16 bits por lo que no se utilizarán los 16 (solo 8) pero hacen falta 2 módulos.}$$

Solución: a

Septiembre 2003. Reserva 1

Un procesador tiene instrucciones de 16 bits y direcciones de 6 bits. Admite instrucciones de formato de 1 dirección y de 2 direcciones. Si hay n instrucciones de 2 dir., el n° máximo de instrucciones de 1 dirección es:

$$\text{Direcciones} = 2^6$$

$$\text{Instruc. de 2 dir. máximo} = \frac{2^6}{2} = 2^5$$

$$\text{direc. libres} = 2^6 - 2 \times n \Rightarrow \underline{\text{a}} \text{ ninguna de las anteriores}$$

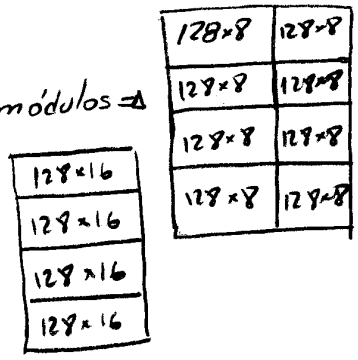
Septiembre - 2003. Reserva. 6

Mem. de un computador con bus datos 16 bits y 20 bits en bus direc. y se dispone de 500 Kpalabras de RAM y 240 Kpalabras de ROM. Se dispone de módulos RAM de 128 Kpalabras \times 8 bits/palabra, 128 Kpalabras \times 16 bits/palabra y de módulos ROM de 128 Kpal. \times 8 bit/pal., 128 Kpal \times 16 bits/pal.

- I.- si es posible realizar el diseño que se solicita
- II.- El menor número de módulos necesarios para realizar el circuito es 4 módulos RAM de 128 Kpal \times 16 bit/pal y 2 módulos ROM de 128 Kpal \times 16 bit/pal.

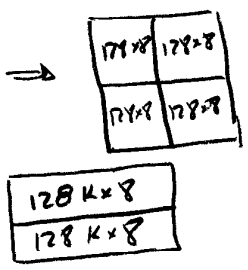
RAM \rightarrow Necesidades 500K \times 16

Módulos necesarios $\left\{ \begin{array}{l} 128 \times 8 \Rightarrow \frac{500K \times 16}{128 \times 8} \Rightarrow 8 \text{ módulos} \\ 128 \times 16 \Rightarrow \frac{500K \times 16}{128 \times 16} \Rightarrow 4 \text{ mód} \end{array} \right.$



ROM \rightarrow Necesidades 240K \times 16

Módulos necesarios $\left\{ \begin{array}{l} 128 \times 8 \Rightarrow \frac{240K \times 16}{128K \times 8} \Rightarrow 4 \text{ módulos} \\ 128 \times 16 \Rightarrow \frac{240K \times 16}{128K \times 16} \Rightarrow 2 \text{ módulos} \end{array} \right.$



En ambos casos, con los módulos utilizados, sobrará memoria, pero se puede implementar $\Rightarrow \left\{ \begin{array}{l} \text{ROM} \Rightarrow 512K \times 16 \\ \text{RAM} \Rightarrow 256K \times 16 \end{array} \right.$

Solución: I \Rightarrow cierto \Rightarrow a
 II \Rightarrow cierto \Rightarrow a

Junio 2003 Reserva 5

Memoria principal = 128 M palabras, Mem. caché = 8 Kpal.

tamaño del bloque 128 palabras. Se supone que se realizan 10 veces seguidas las referencias a las direcciones de mem de la 0 a la 1279. Si inicialmente la caché vacía, ¿cuál será la tasa de aciertos si la caché es de correspondencia directa?

Corresp. directa \Rightarrow cada posición de mem. principal su posición en caché \Rightarrow de la 0 \div 1279 cabe en la caché de 8 Kpal \Rightarrow 1 fallo cada vez que se accede por primera vez a cada bloque \Rightarrow

$$0 \div 1279 \Rightarrow 1280 \quad \frac{1280 \text{ pal}}{128 \text{ pal/bl}} = 10 \text{ bloques} \Rightarrow 10 \text{ fallos}$$

$$\text{tasa aciertos} = \frac{\text{aciertos}}{\text{aciertos} + \text{fallos}} \times 100 = \frac{12800 - 10}{12800} \times 100 = 99,92\%$$

Ⓢ

$$\text{aciertos} = 1280 \times 10 = 12800$$

Junio 2003 Reserva 5

La dirección 1101 0101 1101 1001 se interpreta por una caché de corres. asociativa por conjuntos:

Etig = 1101 0101 Conj = 11011 Pal = 0011

¿Tamaño de la caché?

Pal = 4 bit $\Rightarrow 2^4$ pal / bloque

Conj = 5 bit $\Rightarrow 2^5$ conjuntos

bloques / conjunto = ?? \Rightarrow faltan datos \Rightarrow D

Septiembre 2003-6

Mem. caché 32 bloques y 256 pal/bloque. Totalmente asociativa y mem. ppal 24bits en bus dir. ¿En qué bloque en decimal estará la palabra de mem. ppal 001FFF

Al ser totalmente asociativa cualquier bloque de mem. ppal se puede alojar en cualquiera de la caché \Rightarrow D

Septiembre 2003-Reserva-5

Sistema { mem. ppal 64 Kpal
caché : 16 Kpal ; 8 pal/bloque ; 1 byte/pal
Pal. de dir. 4620₁₆ en bloque C4

$\frac{16 \text{ Kpal}}{8} = 2048 \text{ bloques} \Rightarrow 2^{11} \Rightarrow 11 \text{ bits}$ $64 \text{ Kpal} \Rightarrow 2^{16} \Rightarrow 16 \text{ bits}$

$4620_{16} = 0100 \ 0110 \ 0010 \ 0000$

eti	bloq. en corres directa	dir. pal
	0 1 2 3 4	
	eti. en tot. asocia	

Corresp. direc \Rightarrow bloque C4

\Rightarrow D

Sep 99 - 1 Test

(Lección 2ª)

¿Cuál es la frecuencia de acceso aleatorio con un tiempo de acceso de 80 nseg y un tiempo de ciclo de 100 nseg

Tiempo que tarda en una escritura completa = 100 nseg
⊥

$$\text{frec. acceso} = \frac{1}{t. \text{ ciclo}} = \frac{1}{100 \cdot 10^{-9}} = 10^7 \text{ bytes/seg}$$

\downarrow
 $10^7 \text{ seg}^{-1} = 10^7$

Junio - 99 - 2º S - 1º Test + 3º Teor Prac

(Lección 2)

Mem. de ordenador 10 módulos.

Escritura } 20% t. ocupación bus
 } 80% t. escritura

Existe solapamiento.

¿Cuánto se incrementa la velocidad máxima de almacenamiento respecto a la velocidad de un único módulo?

- Con solapamiento el t. efectivo en un módulo = 20% del t. de ciclo de memoria

- Sin solapamiento o con un solo módulo

t. ciclo memoria = 100%

⊥

$$\text{velocidad} = \frac{100}{20} = \underline{\underline{5 \text{ veces más rápido}}}$$

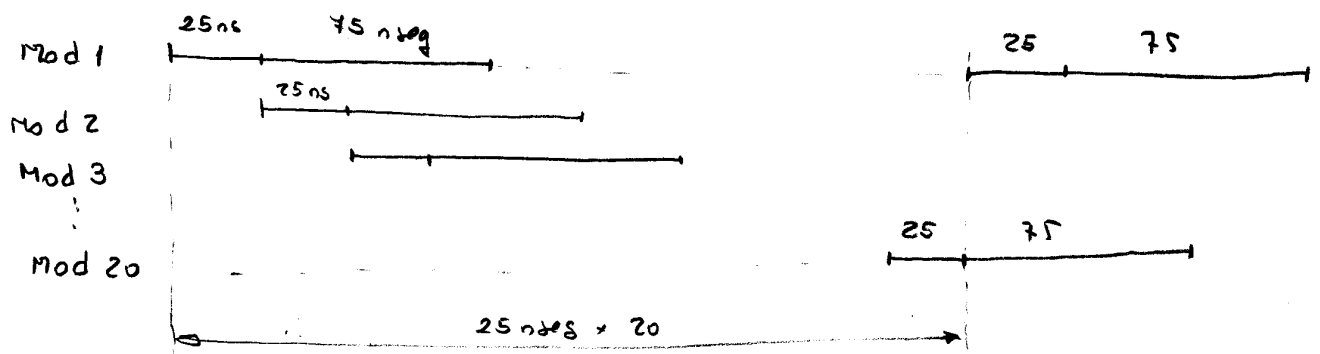
\downarrow
6

E. UM. 16

Sep 2000 - 1 Test

(Lección 2ª)

La mem de un ordenador tiene 20 módulos conectados a un bus de memoria. En un acceso a escritura 25 nseg ocupa el bus y otros 75 nseg tarda en escribir. Si se pueden solapar las escrituras, ¿cuál es la velocidad máxima de almacenamiento?



- Cada 25 nseg se inicia la escritura en 1 módulo
- sin solapamiento " " " " " " " " cada 100 nseg

⇓

$$25 \text{ nseg} \Rightarrow \text{velocidad transf} = \frac{1}{25 \cdot 10^{-9}} = 4 \cdot 10^7 \text{ byte/seg}$$

5.- La memoria de un computador consta de 4 módulos conectados a un bus de memoria común. Cuando se realiza una petición de escritura, el bus esta ocupado por las señales de datos, dirección y control durante 50 ns. En esos mismos 50 ns y en los 200 ns siguientes, el módulo de memoria direccionado ejecuta 1 ciclo aceptando y almacenando el dato. Las operaciones de los módulos pueden solaparse, pero solo puede haber una petición por instante de tiempo. Si t_c representa el tiempo de ciclo de escritura, indique cual es la velocidad máxima de escritura:

- A) $1/t_c$ B) $4/t_c$ C) 2×10^7 palabras/s D) Ninguna de las anteriores

Solución:

Módulo 1	50 nseg	200nseg				50 nseg	
Módulo 2		50 nseg	200nseg			50 nseg	
Módulo 3			50 nseg	200nseg			50 nseg
Módulo 4				50 nseg	200nseg		
					Espera		

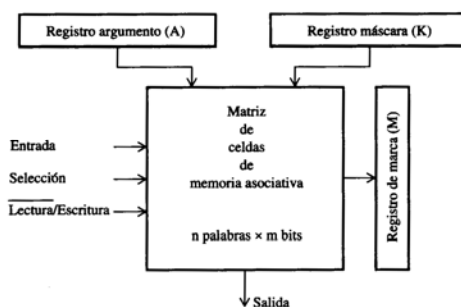
En escribir 4 palabras tarda 250 nseg.
Si t_c es 250 nseg la máxima velocidad de escritura será $4/t_c$.

Solución la B)

7.- Considere una memoria asociativa de n palabras y 4 bits/palabra. Indique cuál de los siguientes valores de los registros de argumento (A) y mascara (K) proporcionan un 1 en todos aquellos bits del registro de marca cuya celda de memoria contenga un número par, y un 0 en caso contrario. (Se considera que el cero es un número par).

- A) A=0010, K=0010 B) A=0011, K=0011 C) A=1000, K=0001 D) Ninguna de las anteriores

Solución:



Un número par es el tiene el bit menos significativo (LSB) a 0 e impar si el LSB=1.
Para que la marca en un número par de 1 se tiene que cumplir que el LSB de la máscara sea 1 y que el LSB del argumento también sea 1.

De entre las diferentes opciones:

- A) No dará marca 1 porque el LSB de la máscara es 0 y por lo tanto no se comprueba el LSB del argumento.
- B) Dará un 1 en el LSB de la marca para número impares porque el LSB del argumento y de la máscara son 1.
- C) Dará un 1 en el LSB de marca porque el LSB de la máscara es 1 (testea el LSB del argumento) y el LSB del argumento es 0. Por lo tanto el número es par y la marca será 1.
Debido a que la máscara es 0001 y el argumento es 1000 testea y da bits de marca 1 en todas las posiciones que en el bit LSB (debido al 0 de la máscara) es 0 (debido al 0 del argumento).

Solución la C)

ESTRUCTURA Y TECNOLOGIA DE COMPUTADORES II Junio 2003 Tipo B

8.- Un disco magnético con 1024 pistas, numeradas del 0 al 1024, tiene la siguiente cola de peticiones de acceso: 850, 25, 308, 400, 632, 168, 720 y 302. Utilizando la planificación SCAN ¿En qué orden se atienden las solicitudes de acceso si inicialmente la cabeza se halla en la pista 500?

- A) 632, 720, 850, 25, 168, 302, 308, 400
- B) 632, 720, 850, 400, 308, 302, 168, 25
- C) 400, 168, 302, 308, 25, 632, 720, 850
- D) 632, 25, 720, 168, 850, 302, 400, 308

Solución:

Página 120 del libro de teoría.

Recorre todas las pistas en una dirección atendiendo todas las peticiones que encuentra en el camino, hasta alcanzar la última pista o si no hay más solicitudes en esa dirección. En este punto invierte el sentido del recorrido y la búsqueda prosigue en la misma forma. También conocido como el algoritmo del ascensor.

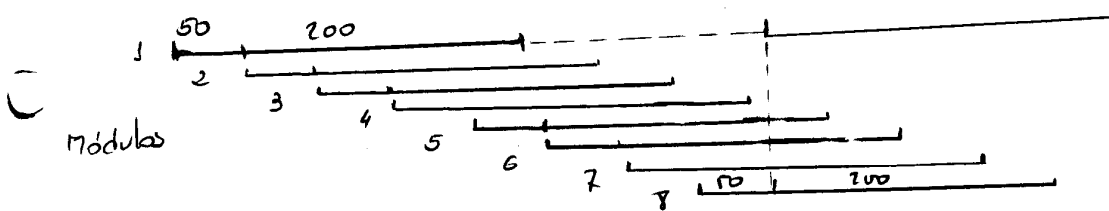
Empieza en la 500 : 632, 720, 850, 400, 308, 302, 168, 25.

La opción A 632, 720, 850, 25, 168, 302, 308, 400. Es el algoritmo C-SCAN.

Solución la B)

Junio 2003. Reserva (2) (Tipo E)

Mem. computador 8 módulos a bus común. En una escritura los buses ocupados 50 ns. En esos 50 ns y en los 200 ns siguientes, el módulo de mem. direccionado ejecuta ciclo aceptando y almacenando el dato. Las operaciones de los módulos pueden solaparse. si t_c = tiempo ciclo escritura, ¿cuál es la velocidad máxima de escritura.



8 módulos $\Rightarrow 8 \times 50 \Rightarrow 400 \text{ nseg} \Rightarrow 8 \text{ palabras} \Rightarrow \frac{400}{8} = 50 \text{ ns/pal}$
 media

$$\frac{1}{50 \text{ ns}} = 2 \cdot 10^7 \text{ pal/seg}$$

↓
C

Junio 2003 - Reserva 4

- Un disco con 256 pistas con planificación FCSF.
- En cola de peticiones pistas: 50, 130, 151, 31, 20, 200
- cabeza en pista 150

Suponiendo que FCSF es una errata y ha querido indicar

FCFS \rightarrow First Come First Served \Rightarrow 1^o entra 1^o sale

\downarrow

Se sirve según orden en cola \Rightarrow 50 - 130 - 151 - 31 - 20 - 200

\Downarrow
B

Si no es errata \Rightarrow Ninguna \Rightarrow D

Junio 2003 - Reserva - B

El ciclo instrucción \Rightarrow 4 ciclos reloj. Si la frecuencia de reloj es $20 \cdot 10^6$ c/seg

I) ¿Cuánto tarda en ejecutarse 1000 instrucciones?

$$1000 \text{ instr} \Rightarrow 1000 \cdot 4 = 4000 \text{ ciclos reloj}$$

$$20 \cdot 10^6 \text{ c/seg} \Rightarrow \frac{1}{20 \cdot 10^6} = 50 \text{ nseg}$$

$$4000 \cdot 50 \cdot 10^{-9} = \underline{200 \mu\text{s}}$$

II) ¿Instrucciones por segundo?

$$\frac{20 \cdot 10^6 \text{ c/seg}}{4} = 5 \cdot 10^6 \Rightarrow \underline{5 \text{ millones}}$$

\Downarrow

A

Septiembre 2003 Problema sobre mem. caché

Resuelto en el anexo de exámenes resueltos.

Septiembre 2003 Reserva (4) Tipo E

- Disco de 256 pistas y planificación SSTF

- En cola 50, 130, 151, 31, 20, 200

- Pista inicial 150

- ¿Orden de atención?

SSTF \Rightarrow Shortest Service Time First \Rightarrow 1º el más cercano

↓

150 \rightarrow 151 \rightarrow 130 \rightarrow 200 \rightarrow 50 \rightarrow 31 \rightarrow 20 \Rightarrow **A**

SEPTIEMBRE 2003 RESERVA PROBLEMA

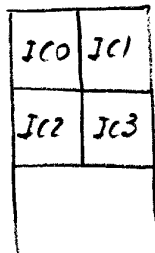
Diseñar un subsistema de memoria de 16 palabras x 4 bits/palabra utilizando módulos de memoria 8 palabras x 2 bits/palabra para un computador que dispone de un bus de direcciones de 8 bits, en los dos casos siguientes:

- a) (2 puntos) Con entrelazado de orden superior.
- b) (2 puntos) Con entrelazado de orden inferior.

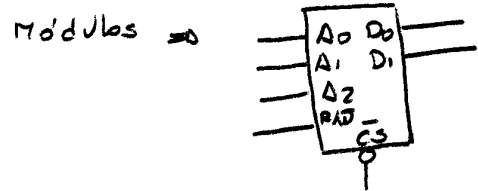
Nota: Se dice que un **entrelazado es de orden superior**, cuando todas las posiciones de memoria dentro de un modulo son contiguas en el subsistema de memoria diseñado. Se dice que un **entrelazado es de orden inferior**, cuando las posiciones contiguas en el subsistema diseñado se van alternando entre los diferentes módulos que constituyen el subsistema.

a) Necesidades $\Rightarrow 16 \times 4$
 Disponibilidad $\Rightarrow 8 \times 2$ } \Rightarrow Módulos $= \frac{16 \times 4}{8 \times 2} = 4 \Rightarrow IC0 \div IC3$

Mapa

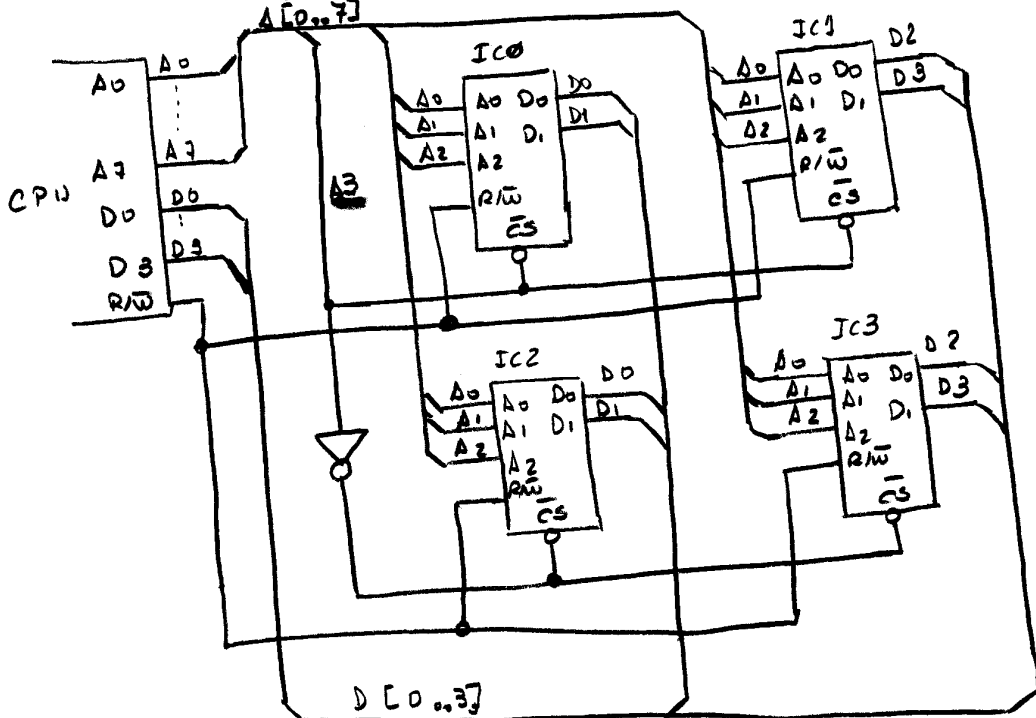


16 direcciones $\Rightarrow 2^4 \Rightarrow 4$ bit bus dir.
 8 " $\Rightarrow 2^3 \Rightarrow 3$ " " "



Entrelazado de orden superior

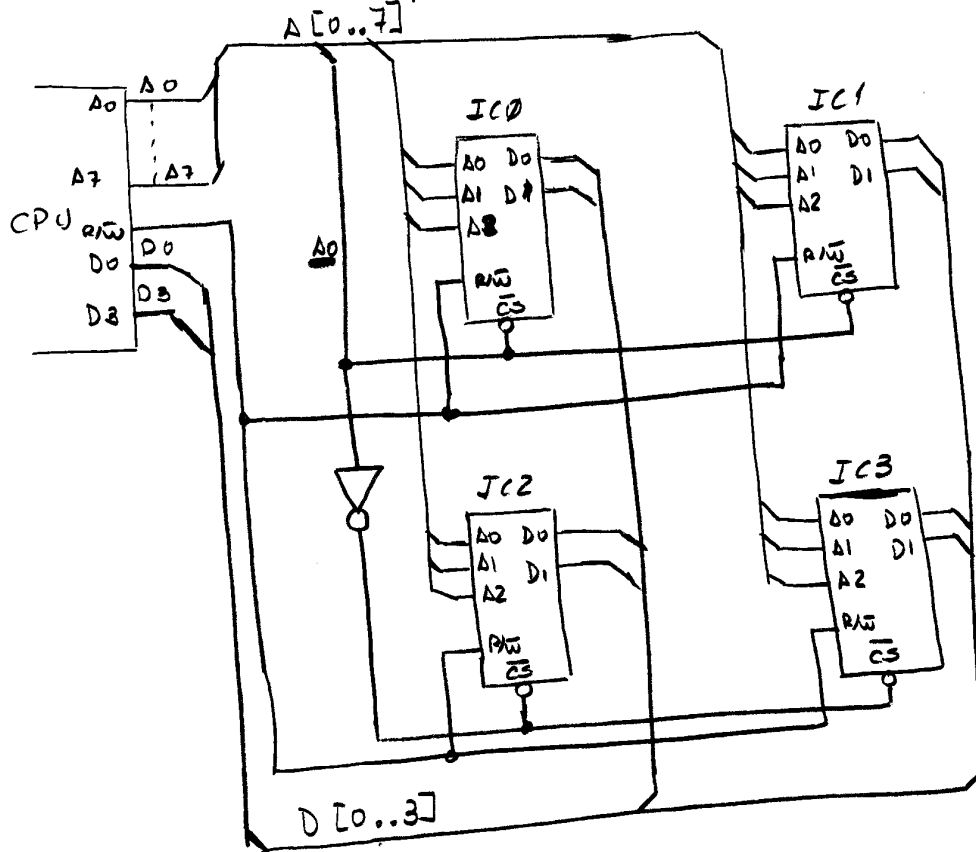
Página	A ₃	A ₂	A ₁	A ₀	Dir Hex	Módulos
Sel. módulo	0	0	0	0	0	IC0 + IC1
	0	1	1	1	7	
	1	0	0	0	B	IC2 + IC3
	1	1	1	1	F	



Entrelazado de orden interior

A ₃	A ₂	A ₁	A ₀	Dir Mem	Módulos
0	0	0	0	0	IC ₀ + IC ₁
1	1	1	0	4	
0	0	0	1	1	IC ₂ + IC ₃
1	1	1	1	5	

sele. módulo



Problema-Septiembre de 2000

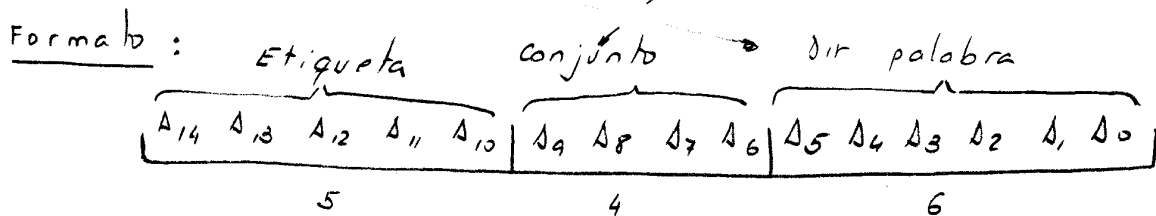
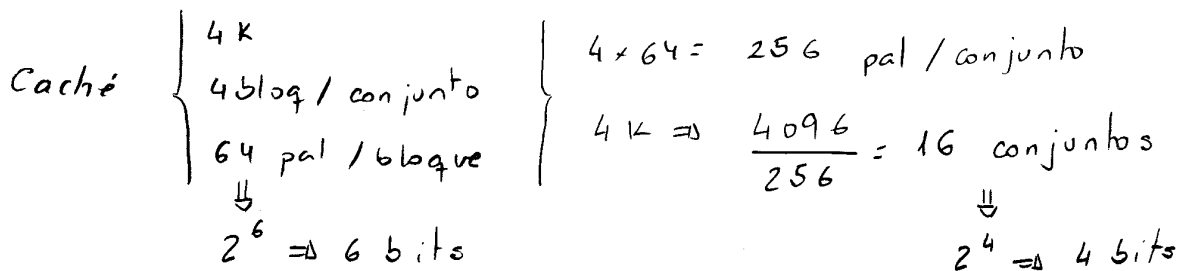
Un computador tiene una memoria principal de 32k palabras de 16 bits/palabra. También tiene una memoria caché asociativa por conjuntos de 4k palabras, con 4 bloques por conjunto y 64 palabras por bloque.

Considérese que la memoria caché está inicialmente vacía y que utiliza el algoritmo FIFO para el reemplazo de los bloques. Supóngase que la UCP accede a 4352 palabras de las direcciones 0, 1, 2... 4351, en orden. Después repite esta secuencia nueve veces más. La memoria caché es 10 veces más veloz que la memoria principal.

Se pide:

- a) (0.50 puntos) Especifique el número de bits de los campos en que se descompone una dirección de memoria principal de este sistema.
- b) (0.25 puntos) Calcule cuánto tiempo se tardaría en realizar estos accesos a memoria principal si este computador no tuviera memoria caché.
- c) (2 puntos) Calcule cuántos fallos se producen en la caché a la hora de realizar estos accesos a memoria principal. Explique claramente su razonamiento.
- d) (1.25 puntos) Si cada vez que se produce un fallo primero se mueve el bloque completo de memoria principal a memoria caché y después se lee el dato de la caché, calcule cuánto tiempo tardaría la UCP en realizar estos accesos a memoria.

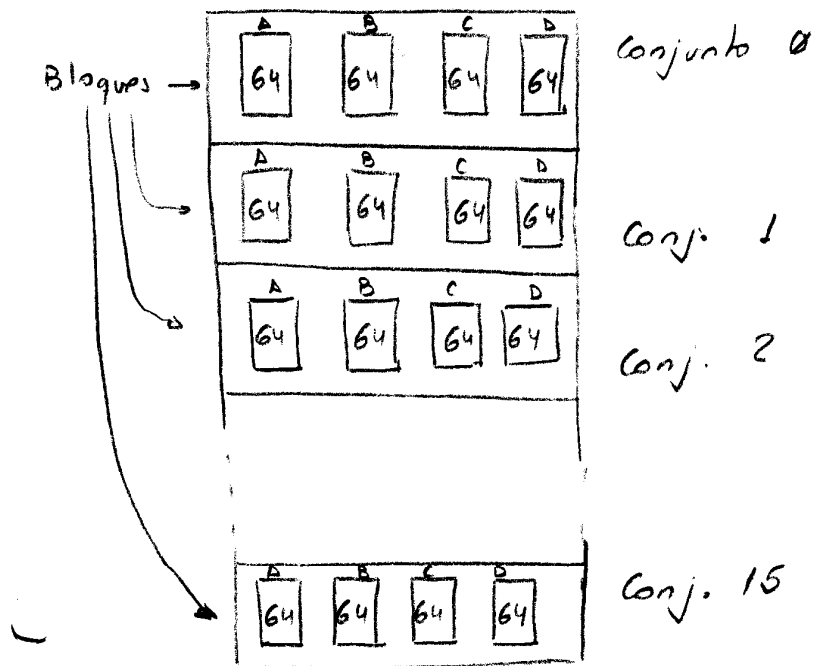
Memoria $\Rightarrow 32k \Rightarrow 2^{15} \Rightarrow A_0 \div A_{14}$



b) Tiempo en accesos a mem. sin caché

$$4352 \text{ accesos} \times 10 \text{ secuencias} \times \underbrace{10T}_{\substack{\text{tiempo} \\ \text{accesos} \\ \text{sin caché}}} = \underline{435200T}$$

c) Estructura caché



Direcciones $0 \div 4351$

\Downarrow

$$\frac{4352}{64} = 68 \text{ bloques}$$

1ª Pasada

- Los primeros 64 bloques llenan la caché produciendo 64 fallos
- Los bloques 64, 65, 66, 67 deben entrar en la caché pero desalojan los bloques A de los conjuntos 0, 1, 2, 3 \Rightarrow quedan en caché los bloques $4 \div 67$ 4 fallos

2ª Pasada

- Deben entrar los bloques 0, 1, 2, 3 que han sido desalojados en la 1ª pasada (producen 4 fallos). Para entrar, desalojan los bloques B de los conjuntos 0, 1, 2, 3. Esto es así pq cada bloque tiene asignado un conjunto. \Rightarrow 4 fallos
- Al desalojar los bloques citados salen las pgs 16, 17, 18, 19. Pero al tener que acceder posteriormente a ellas, estas desalojan los bloques C de los conjuntos 0, 1, 2, 3 esto es las pgs $32, 33, 34, 35 \Rightarrow$ 4 fallos

Pero al tener que posteriormente acceder a ellos, desalojan los bloques D de los conjuntos 0,1,2,3, esto es las pgs 48, 49, 50, 51 \Rightarrow 4 fallos.

Al acceder a ellos posteriormente desalojan los bloques A de los conjuntos 0,1,2,3, esto es las pgs 0,1,2,3.
 \Downarrow
4 fallos

Al acceder a las pgs 64, 65, 66, 67, estas desalojan los bloques B de los conjuntos 0,1,2,3 \Rightarrow 4 fallos.

Por lo que en la 2^a pasada hay $4 \text{ fallos} \times 5 \text{ veces} = \underline{\underline{20 \text{ fallos}}}$

3^a pasada y resto

se produce el mismo efecto que en la 2^a pasada

$$\text{Total fallos} = \underbrace{68}_{1^{\text{a}} \text{ p.}} + \underbrace{(9 \times 20)}_{\text{pasada fallos/pasada}} = \underline{\underline{248 \text{ fallos}}}$$

d) Tiempo de los accesos

$$t. \text{ traer bloque} = (N^{\circ} \text{ fallos} \times N^{\circ} \text{ pal/bloque}) \times t. \text{ acceso a mem ppal}$$

$$t_{\text{total}} = t. \text{ traer bloque} + t. \text{ traer desde caché (4352 dir} \times \text{10 pasad)}$$

$$t_{\text{total}} = (248 \times 64) \cdot 10 \text{ T} + 43520 \text{ T} = \underline{\underline{203240 \text{ T}}}$$