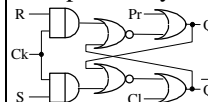
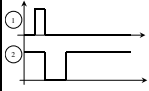
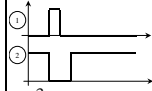


Correcciones a: **ELECTRÓNICA DIGITAL**
 por J. MIRA, A. E. DELGADO, S. DORMIDO y M. A. CANTO,
 Editorial SANZ Y TORRES, S.L.

Febrero 2000

Pág.	Línea	Dice	Debe decir
10	16	en el apartado anterior mediante	en el apartado 1.1 mediante
12	8	y el segundo gráficamente,	y también gráficamente,
13	2	$\overline{X}, \overline{Y}, X \cdot Y$ y $\overline{X \cdot Y}$.	$\overline{X}, \overline{Y}, \overline{X \cdot Y}$ y $\overline{X + Y}$.
15	Fig.1.6	A la última puerta le entra \overline{x}_1	Le debe de entrar \overline{x}_2
17	Fig.1.7	3ª fila, 3ª columna $\overline{x}_1 + x_2 = m_1$	$\overline{x}_1 \cdot x_2 = m_1$
17	Fig.1.7	4ª fila, 3ª columna $x_1 + \overline{x}_2 = m_2$	$x_1 \cdot \overline{x}_2 = m_2$
17	Fig.1.7	5ª fila, 3ª columna $x_1 + x_2 = m_3$	$x_1 \cdot x_2 = m_3$
17	Fig.1.7	5ª fila, 5ª columna $\overline{x}_1 \cdot \overline{x}_2 = M_3$	$\overline{x}_1 + \overline{x}_2 = M_3$
18	6	$m_1 + m_2$	$m_0 + m_3$
19	Fig.1.8	NOR: $x_1 \downarrow x_2 = \overline{x}_1 \cdot \overline{x}_2 = \overline{x_1 + x_2}$	$x_1 \downarrow x_2 = \overline{x}_1 \cdot \overline{x}_2 = \overline{x_1 + x_2} =$ $= (x_1 + \overline{x}_2)(\overline{x}_1 + x_2)(\overline{x}_1 + \overline{x}_2)$
27	Fig.2.1	esquema del inversor	intercambiar $v_o(t)$ con $v_i(t)$
35	Fig.2.4.a	$V_a = V_{zener}$	V_{zener}
42	23	$I = \frac{V_2 - V_d}{R} \approx \frac{V_2}{R}$	$I = \frac{V_2 - V_a}{R} \approx \frac{V_2}{R}$
46	última	$Q_p(t) = -I_1 \cdot \tau_p + K \cdot e^{-t/\tau}$	$Q_p(t) = -I_1 \cdot \tau_p + K \cdot e^{-t/\tau_p}$
47	4	$Q_p(t) = -I_1 \cdot \tau_p + \tau_p \cdot (I_1 + I_2) \cdot e^{-t/\tau}$	$Q_p(t) = -I_1 \cdot \tau_p + \tau_p \cdot (I_1 + I_2) \cdot e^{-t/\tau_p}$
47	7	$t_s = \tau \cdot \ln\left(1 + \frac{I_1}{I_2}\right)$	$t_s = \tau_p \cdot \ln\left(1 + \frac{I_1}{I_2}\right)$
69	2.24	$v_i(t) = v_b$	$v_i(t) = v_b$
69	2.24	$v_{ce}(t)$	$v_o(t) = v_{ce}(t)$
122	16	bipolares y MOS. En el	bipolares. En el
124	7	$= V_{CC} - R_C \frac{V_{CC} - 0'75}{R_C - \frac{R_B}{n}}$	$= V_{CC} - R_C \frac{V_{CC} - 0'75}{R_C + \frac{R_B}{n}}$
127	Fig.3.6.b	Falta el condensador C_L entre el	colector de T_2 y tierra.
129	14	$V_p = V_{BE}^{T_1} \Big _{sat} +$	$V_p = V_{BE}^{T_3} \Big _{sat} +$
133	Fig.3.10.b	Última ecuación: $*I_{B4} =$	Debe ser: $*I_{C4} =$
135	Fig.3.12.a	Nombres de transistores T_3 y T_4	Permutar los nombres T_3 con T_4
139	Fig.3.15	En el circuito de la parte inferior	Falta el rótulo (b)
144	8	la figura 3.13.b muestra	la figura 3.15.b muestra
165	Fig.4.16	Flecha gris en transistor N	En dirección opuesta (hacia abajo)
168	12	volts, $B_{CE}(sat) = 0'2$ volts	volts, $V_{CE}(sat) = 0'2$ volts
174	Fig.5.2.a	Primera fila de la Tabla A B C S	Cambiar a A B S C
174	Fig.5.2.a	Última fila	1 1 0 1

Pág.	Línea	Dice	Debe decir
174	Fig.5.2.b	Puerta NOR en salida S	Puerta OR
179	7	y $C_i = G + S \cdot C_{i-1}$	y $C_i = G + P \cdot C_{i-1}$
180	1 y 2	que generan $S_0, S_1, S_2, S_3,$ y C_4 . de la síntesis de acarreo adelantado y las de salida),	que generan S_0, S_1, S_2 y S_3 .
182	5	$E = \overline{A\overline{B}} + \overline{A}B$	$E = \overline{A\overline{B}} + \overline{A}B$
182	20	ó $A_3 = B_3$ y $A_2 > B_2 \Rightarrow E_2 A_2 \overline{B}_2$	ó $A_3 = B_3$ y $A_2 > B_2 \Rightarrow E_3 A_2 \overline{B}_2$
183	Fig.5.7.a	Puertas AND 1ª y 4ª (D_n y C_n)	Sobran. D_n y C_n salen de la 2ª y la 3ª puertas AND
183	Fig.5.7.b	Segunda puerta AND	Añadir una entrada conectada a E_3
186	6	suma de dos palabras	suma de unos de una palabra
200	1	y $C = 1$, pasará D_1 y así	y $C = 1$, pasará D_4 y así
200	Fig.6.1.b	Terminal (7) etiqueta G	$\overline{G} \xrightarrow{(7)}$
205	8	$\xleftarrow{D_1}$ $+ \overline{UV}(1) +$	$\xleftarrow{D_1}$ $+ \overline{UV}(0) +$
206	6.4	Segundo MUX del primer nivel	Entradas: $D_0=0, D_1=0, D_2=1, D_3=0$
206	6.4	Tercer MUX del primer nivel	Entradas: $D_0=\overline{Z}, D_1=0, D_2=0, D_3=Z$
209	6.7	1Y0.....1Y3	2Y0.....2Y3
	2ª tabla		
213	31	$\overline{a} = A\overline{B}\overline{C}\overline{D} \cdot \overline{A}C \cdot BD$	$\overline{a} = A\overline{B}\overline{C}\overline{D} + \overline{A}C + BD$
214	Fig.6.11.a	Dígito 6	Quitar el segmento "a"
220	Fig.6.16	Entrada 1 de última NAND de la parte de abajo en el canal	Debe ir conectada a la primera línea vertical libre en vez de a la segunda
222	Fig.6.18	6ª columna, filas 8ª y 9ª pone L y H	debe poner H y x
265	Fig.8.10	Esquema de puertas en la parte superior de la figura. Puertas NOR de salida y realimentaciones.	
266	6	es $\overline{Q}_{n+1} = 1$, si $J = 1$ y $\overline{Q}_{n+1} = 0$	es $Q_{n+1} = 1$, si $J = 1$ y $Q_{n+1} = 0$
266	16	disparo T ("Tongle") de la	disparo T ("Toggle") de la
277	a)	Primer dígito, todas las transiciones	0/0, 1/1, 0/0, 1/0
277	a)	Flecha de S_1 a S_0 etiqueta 1/1	Debe ir desde S_0 hasta S_1
277	d)	Transición $S_3 \rightarrow S_2$	01,10,11/1
277	e)	Transición $S_2 \rightarrow S_2$	00,11/1
277	f)	Transición $S_2 \rightarrow S_2$	0/1
277	f)	Transición $S_3 \rightarrow S_3$	0,1/0
278	12	en el caso (d), sólo se	en el caso (c), sólo se
283	34	T debe de ser cero". Ahora	T debe de ser uno". Ahora
283	última	$Q_{n+1} = T \cdot \overline{Q}_{n+1} + \overline{T} \cdot Q_n$	$Q_{n+1} = T \cdot \overline{Q}_n + \overline{T} \cdot Q_n$
284	6	cero a uno ($0 \Rightarrow 1$) y el tercero de uno a cero ($1 \Rightarrow 0$).	uno a cero ($1 \Rightarrow 0$) y el tercero de cero a uno ($0 \Rightarrow 1$).

Pág.	Línea	Dice	Debe decir
292	16	$= \sum_{i=0}^{2^{N-1}} \sum_j M_{ij}(X_m) \cdot Q_1^a \cdot Q_2^b \cdot \dots \cdot Q_N^f$	$= \sum_{i=0}^{2^{N-1}} \sum_j M_{ij}(X_m) \cdot Q_0^a \cdot Q_1^b \cdot \dots \cdot Q_{N-1}^f$
297	Fig.9.7	En el pie de figura dice: PAL	Debe decir: PLA
301	Fig.9.8.a	S_i más alejada del eje X_m	S_j
304	7	de la figura 9.11, vemos	de la figura 9.12, vemos
304	13	$+Q_0(Q_1x + Q_1\bar{x} + \bar{Q}_2x)$	$+Q_0(\bar{Q}_1x + Q_1\bar{x} + Q_1\bar{Q}_2)$
304	Fig.9.10	Flechas para las entradas \bar{x}	Faltan puntas de flecha en sentido contrario al de las entradas x .
305	Fig.9.11	Matriz T^1 : (Fila S_0 , Columna S_7)	El contenido debe ser 0
307	6	por 10 ó por 5,	por 7 ó por 5,
308	34	hay que detectar el estado anterior al que quiere contar ($D - 1 = 5 - 1 = 4 = 0011$) y	hay que detectar dos estados anteriores al que se quiere contar ($D - 2 = 5 - 2 = 3 = 0011$)
308	36	en $D - 1$, (Q_A y Q_B),	en $D - 2$, (Q_A y Q_B),
309	3	$D = 5$, $d - 1 = 4 = 0011 \Rightarrow$	$D = 5$, $D - 2 = 3 = 0011 \Rightarrow$
309	4	luego Preset de $Q_C =$ Preset de $Q_D = Q_A \uparrow Q_B \uparrow Ck$	luego Preset de $Q_A =$ Preset de $Q_B =$ Preset de $Q_D = Q_A \uparrow Q_B \uparrow Ck$
309	Fig.9.14.a	Salida de la Puerta NAND	Debe ir a Pr de Q_A , Q_B y Q_D
311	21	disparando cada biestable	disparándose cada biestable
312	5	asíncrono de 16 bits	asíncrono de 4 bits
312	Fig.9.16	$Q_D^{n-1} Q_C^{n-1} Q_B^{n-1} Q_A^{n-1}$	$Q_D^{n+1} Q_C^{n+1} Q_B^{n+1} Q_A^{n+1}$
313	9	ponemos $K = 1$.	ponemos $K = 0$.
314	Fig.9.17.a	Biestable A	Línea del Reloj a Ck
318	Fig.9.19.b	Tabla: (última fila, columna \bar{K})	L
319	Fig.9.20	Entradas Serie	J \bar{K}
319	Fig.9.20	Load	Carga paralelo
319	Fig.9.20	Desplazamiento paralelo	Desplazamiento
319	5	la salida Q_A pasa a cero.	la salida Q_A pasa a uno.
321	8	sólo atiende a la que la	sólo atiende a la que le
321	9	piso 0 y la llaman	piso 0 y le llaman
331	1	$\tau = R \cdot C \cdot \ln \frac{V_{CC} - V_T}{V_{CC}}$	$\tau = -R \cdot C \cdot \ln \frac{V_{CC} - V_T}{V_{CC}}$
331	Fig.10.3		
335	13	103pF	10^3 pF
338	7	$V_1(T_1) = -V_{CC} \frac{R_2}{R_1 + R_2}$, $T_1 = R \cdot C \cdot \ln \left(1 + \frac{2R_2}{R_1} \right)$	$V_1(T_1) = V_{CC} \frac{R_2}{R_1 + R_2}$, $T_1 = R \cdot C \cdot \ln \left(1 + \frac{2R_2}{R_1} \right)$

Pág.	Línea	Dice	Debe decir
338	8	$T = 2T_1 = 2R \cdot C \cdot \ln\left(1 + \frac{2R_2}{R_2}\right)$	$T = 2T_1 = 2R \cdot C \cdot \ln\left(1 + \frac{2R_2}{R_1}\right)$
338	17	$V_{\text{final}} = +V_{CC}$ y $V_{\text{inicial}} = -V_{CC} \frac{R_2}{R_1 + R_2}$	$V_{\text{final}} = -V_{CC}$ y $V_{\text{inicial}} = V_{CC} \frac{R_2}{R_1 + R_2}$
339	3	$T = 2T_1 = 2R \cdot C \cdot \ln\left(1 + \frac{2R_2}{R_2}\right)$	$T = 2T_1 = 2R \cdot C \cdot \ln\left(1 + \frac{2R_2}{R_1}\right)$
340	2	el condensador C esta cargado	el condensador C esta descargado
340	4	La descarga de C...	La carga de C...
342	Fig.10.10	Terminal (6)	falta una línea desde (6) hasta (A)
342	Fig.10.10	El Reset va a V_{CC} a través de R_A	Debe de ir directamente a V_{CC}
343	6	$5 \cdot 10^3$	$5 \cdot 10^{-3}$
345	Fig.10.12	Resistencia y diodo entre R_A y C	La resistencia es R_B y el diodo es D_1
345	Fig.10.12	Valores de resistencia de las rectas $1K\Omega, 100K\Omega, 10M\Omega$	son para $R_A + 2R_B$
345	5	$\frac{t_1}{t_1 + t_2} = \frac{R_A}{R_A + 2R_B}$	$\frac{t_1}{t_1 + t_2} = \frac{R_A}{R_A + R_B}$
358	13	duración o de forma	duración y en forma
360	1	es $\tau \approx 1 \cdot 2R \cdot C$,	es $\tau \approx \ln 2 \cdot R \cdot C$,
363	8	duran $2 \cdot 10^{-6}$ seg.	duran $0'5 \cdot 10^{-6}$ seg.
373	Fig.11.4	D_L en el decodificador de direcciones	W_L
374	Fig.11.5	En la figura, las líneas de escritura tanto del cero como del uno se activan pasando del nivel bajo al alto.	En la figura, las líneas de escritura tanto del cero como del uno se activan pasando del nivel alto a bajo.
375	2	de señeción, lectura	de selección, lectura
375	4	transistores MNOS de	transistores NMOS de
375	Fig.11.6	En la figura de la celda RAM	unir las puertas de Q_3 y Q_4 a $-V_{DD}$, ya que actúan como cargas.
394	Fig.12.1	En última línea del pie dice: "desplazamiento firmado por"	Debe decir: "desplazamiento formado por"
412	Fig.12.11	La flecha \overline{FF} del primer circuito	Sale del primer circuito y llega a la puerta OR de \overline{FULL}
412	Fig.12.11	La etiqueta \overline{FF} del tercer circuito	Debe estar en la siguiente flecha hacia abajo (que sale del circuito)
412	Fig.12.11	Todas las etiquetas \overline{EF}	Deben estar en la siguiente flecha hacia abajo (que sale del circuito)

Notas aclaratorias:

1. En las páginas 88 y 89 la notación de tensiones de drenador (V_D) y de puerta (V_G) indica las tensiones respecto a la fuente. Cuando se hace referencia a V_{DS} indica la tensión de drenador en *saturación*.
2. En la página 92 se indica la representación formal de transistores MOS. En los circuitos prácticos (y en el resto del libro) la representación es menos estricta al no ser necesario distinguir realce o vaciamiento (ya que en electrónica digital se usan sólo los de realce) e incluso en algunos casos se representa un MOS genérico (canal N ó P).
3. En la página 179, última línea : Las puertas OR corresponden a la síntesis de los acarrees adelantados y el acarreo de salida C_4 .
4. En las páginas de la 175 a la 180 cuando se explica un módulo o elemento aislado se utilizan los subíndices $i-1$ para indicar la señal de entrada correspondiente al elemento anterior y los subíndices i para la salida del elemento actual. Cuando se explica un conjunto de módulos los subíndices se refieren a bits.
5. En la página 178 se menciona que la suma paralelo de la figura 5.4 es más rápida que la suma serie de la figura 5.5. Esto es estrictamente cierto cuando se utilizan aceleradores de arrastre en paralelo (*carry look ahead*), puesto que en caso contrario en la suma paralelo también existe un retardo por cada bit propagado (aunque en general es un retardo menor que la sincronía de registros).
6. En la página 292 en el algoritmo de síntesis y análisis de autómatas modulares de R. Moreno Díaz se utiliza el nombre S_k para referirse al conjunto de estados al cual se extiende la suma en el índice j , y en la fórmula se utiliza el nombre S_j para referirse al estado concreto que se aplica en el sumatorio y que pertenece al conjunto S_k de estados con el biestable k -ésimo en alta. El índice k es el mismo que para $D_k(t)$ en la fórmula.
7. **En el libro de problemas**, página 289 figura 10.3.4 el transistor Q_1 debe ser Q_2 en el segundo biestable. Cada transición comienza con un cambio en $Q_i \setminus$, que hace que se produzca un pulso en el otro monoestable. Ejemplo: en la primera transición de la figura $Q_2 \setminus \uparrow \rightarrow B_{11} \uparrow \rightarrow Q_1 \uparrow \rightarrow Q_1 \setminus \downarrow \rightarrow B_{12} \downarrow$.
8. **En el libro de problemas** , página 291, figura 10.4.1. falta conexión de Reset a V_{CC} .