

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

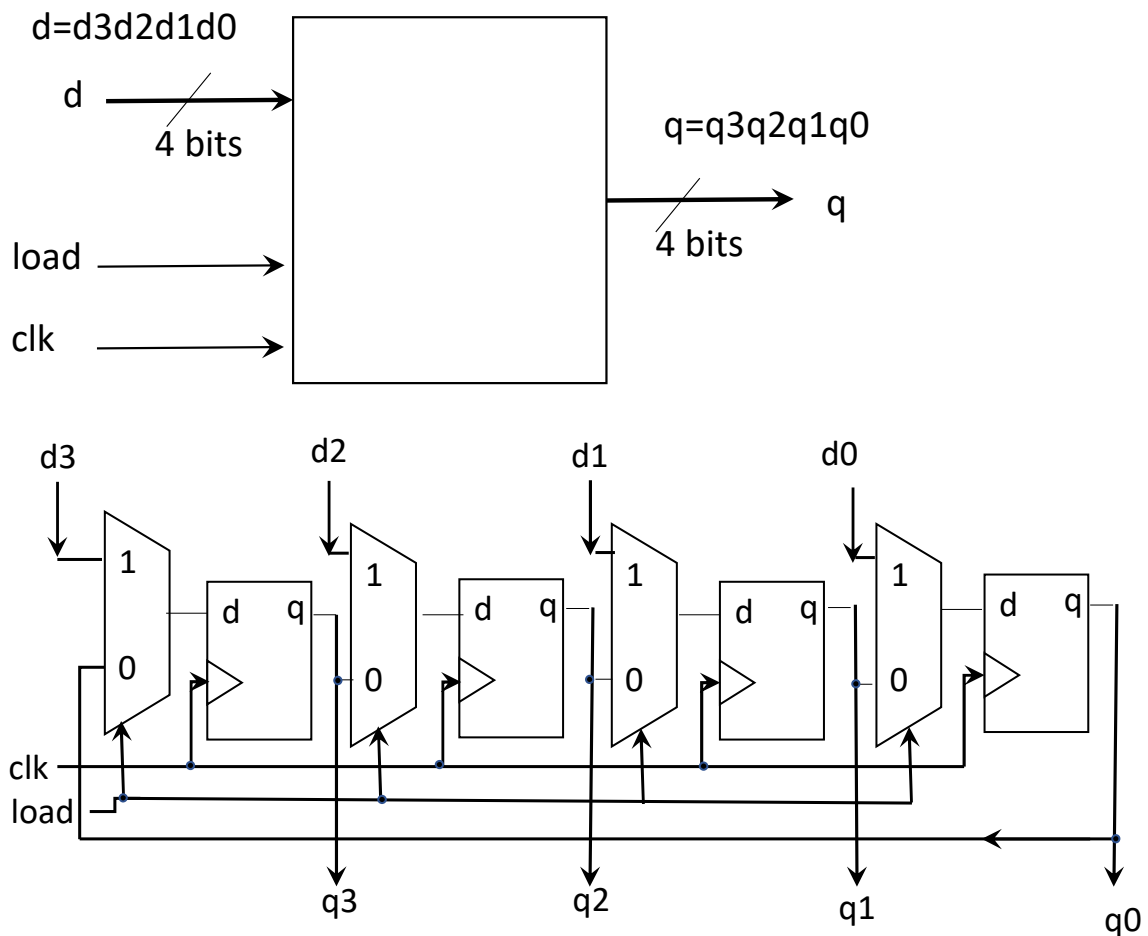
Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales $s1$ y $s2$ entre los instantes 0 y 70 ns. En el cronograma se debe indicar para cada una de estas señales el instante de tiempo en que la señal cambia de valor así como su nuevo valor, considerando el retardo delta.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal s1, s2 : natural;
begin
    process
    begin
        s1 <= 4 after 2 ns, 1 after 10 ns,
            5 after 15 ns, 10 after 24 ns,
            20 after 28 ns, 50 after 70 ns;
        s1 <= 8 after 20 ns, 40 after 25 ns,
            6 after 50 ns;
        s2 <= transport 30 after 0 ns,
            7 after 5 ns, 80 after 15 ns,
            24 after 20 ns, 20 after 25 ns,
            40 after 70 ns;
        s2 <= transport 2 after 20 ns,
            15 after 30 ns, 25 after 50 ns;
        wait;
    end process;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Se quiere programar usando VHDL un circuito secuencial que es un registro de desplazamiento circular que opera en el flanco de subida de la señal de reloj. En la parte superior de la figura se muestra el circuito con sus entradas y salidas. El diagrama de dicho circuito, compuesto empleando biestables tipo D y multiplexores 2 a 1, se muestra en la parte inferior de dicha figura.



Se observa que cuando la señal de un bit $load$ vale '1', se carga en los biestables la señal de entrada d . Por el contrario, cuando la señal $load$ vale '0', se carga en los biestables el resultado de realizar la rotación de la salida de los biestables una posición.

El circuito ha de tener la **entity** siguiente:

```
entity Desplazador is
  port( q      : out std_logic_vector (3 downto 0);
        d      : in  std_logic_vector (3 downto 0);
        clk    : in  std_logic;
        load   : in  std_logic );
end entity Desplazador;
```

2.a) (0.75 puntos) Escriba en VHDL la **architecture** que describe el comportamiento del biestable D que opera en el flanco de subida de la señal de reloj empleando sólo un bloque **process** y una sentencia **if**. El biestable D ha de tener la **entity** siguiente:

```
entity flipflopD is
  port( q   : out std_logic;
        d   : in  std_logic;
        clk : in  std_logic );
end entity flipflopD;
```

2.b) (0.75 puntos) Escriba en VHDL la **architecture** de un multiplexor 2 a 1 de un bit que describa su comportamiento empleando una sentencia **with-select**. El multiplexor ha de tener la **entity** siguiente:

```
entity mux2a1 is
  port( y      : out std_logic;
        sel    : in  std_logic;
        x1, x0 : in  std_logic );
end entity mux2a1;
```

2.c) (1.5 puntos) Escriba en VHDL una **architecture** que describa la *estructura* del circuito desplazador circular, instanciando y conectando adecuadamente los multiplexores 2 a 1 y los biestables D que ha diseñado anteriormente. Emplee en el diseño la sentencia **generate** para realizar la instanciación y conexión de todos los componentes.

Pregunta 3 (2 puntos)

Programe el banco de pruebas del circuito secuencial que ha diseñado en la Pregunta 2.c. La señal de reloj debe tener un periodo de 10 ns. El banco de pruebas debe realizar por orden las siguientes comprobaciones:

- Primero, cargar la señal de entrada cuyo valor es $d = "0001"$
- Realizar la rotación durante 8 ciclos de reloj
- Finalmente, cargar la señal de entrada cuyo valor es $d = "0000"$

El banco de pruebas debe permitir comprobar mediante inspección visual que los valores obtenidos de la UUT coinciden con los esperados. Al final del test, debe mostrarse un mensaje indicando que el test ha finalizado. Dibuje el cronograma que se debería obtener al simular el banco de pruebas mostrando la evolución temporal de las señales del circuito bajo test.

Pregunta 4 (3 puntos)

Escriba en VHDL la **architecture** de un circuito secuencial síncrono que opera en el flanco de subida de la señal de reloj. Se supone que la señal de reloj de entrada tiene un periodo de 1 segundo. Este circuito tiene dos señales de entrada de 1 bit: la señal de reloj `clk` y la señal de reset síncrona activa a nivel 0 `rst`. El circuito tiene una señal de salida de un bit llamada `salida`.

El circuito tiene los dos estados siguientes:

- Estado A: la señal `salida` tiene valor '0'. Se permanece en este estado 8 segundos siempre que no se resetee el circuito. Pasados los 8 segundos, se pasa al estado B. Cuando la señal `rst` se pone a '0', se vuelve a iniciar la cuenta de 8 segundos en el primer flanco de subida de la señal de reloj.
- Estado B: la señal `salida` tiene el valor '1'. Se permanece en este estado 4 segundos siempre que no se resetee el circuito. Pasados los 4 segundos, se pasa al estado A. Cuando la señal `rst` se pone a '0', el circuito pasa al estado A en el primer flanco de subida de la señal de reloj.

La **entity** del circuito se muestra a continuación.

```
entity control is
  port ( salida   : out std_logic;
         clk, rst  : in  std_logic );
end entity control;
```

Para el diseño del circuito emplee únicamente las siguientes librerías:

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
use IEEE.numeric_std.ALL;
```