

6.- Diseño del procesador

- 0.- Introducción
- 1.- Repertorio de instrucciones
- 2.- Modos de direccionamiento
- 3.- Ciclo de ejecución de una instrucción
- 4.- Fases en el diseño del procesador
- 5.- Diseño de un procesador elemental

0.- Introducción

Partes
CPU

- Unidad de procesamiento o ruta de datos \Rightarrow hacer las operaciones
- Unidad de control \Rightarrow
 - busca instrucciones en memoria
 - las interpreta
 - genera las señales de control

Realizaciones
posibles
de la CPU

- Cableada
- Microprogramada \Rightarrow microinstrucciones

Tipos
microoperaciones

- De transferencia
- De proceso

Fases en el
ciclo de ejecución
de una instrucción

- Búsqueda
- Decodificación
- Búsqueda de operandos
- Ejecución

1.- Repertorio de instrucciones

Instrucción = cadena de bits agrupada en "campos" con tamaños diferentes

Características de los formatos de instrucciones

- La longitud de los distintos campos no es igual para todas las instrucciones
- No necesariamente todos los campos en todas las instrucciones
- Una instrucción puede ocupar 1 byte, 2 bytes, ...

Formato instrucción ⇒ Código operación + } operando
 dirección ⇒ } 3 di
 " 2 "
 " 1 "
 " 0 "

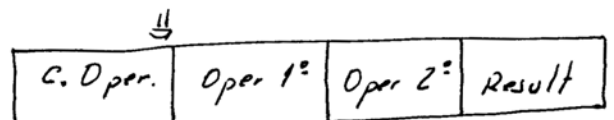
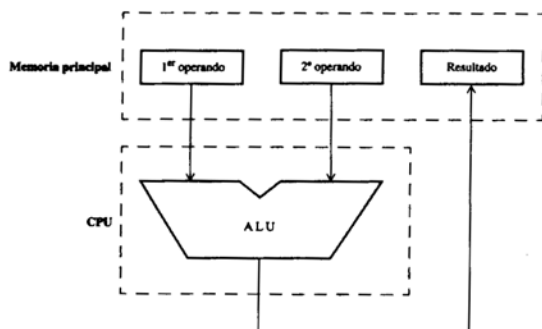
Tipos instrucciones

- Transferencia de datos
- Aritméticas, lógicas y de comparación
- Desplazamiento
- Transferencia de control
- De gobierno

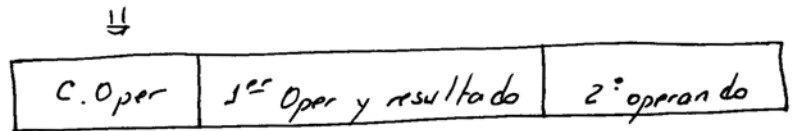
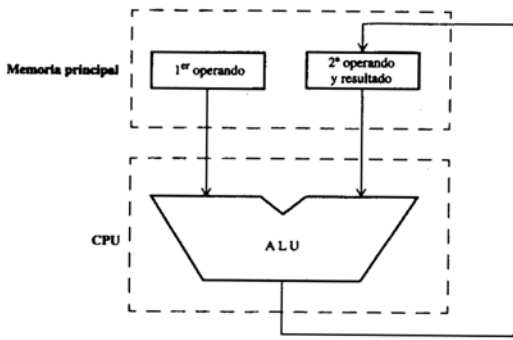
Tipos de procesadores según nº de direcciones

- 3 direcciones
- 2 " "
- 1 " (con acumulador)
- 0 " (procesadores con pila)

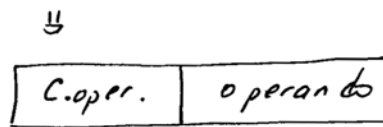
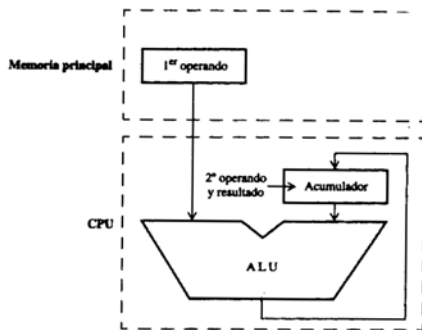
1.a.- Procesadores de tres direcciones ⇒ 2 para operandos
 1 almacen resultado



J.b - Procesadores de dos direcciones

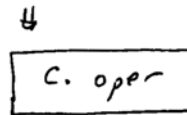
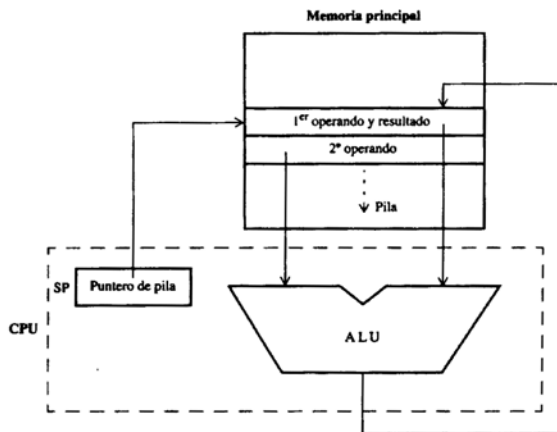


J.c - Procesadores de una dirección (proces. con "Acumulador")



⇓
Acumulador y operando → resultado en Acumulador

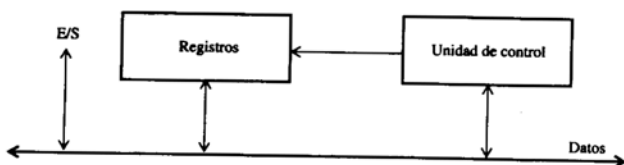
J.d - Procesadores con cero direcciones (proces. con pila)



Flujo de datos en un procesador de pila en las instrucciones con referencia a memoria

J.e - Procesadores sin ALU ⇒ Solo realizan transferencias

Las oper. aritmético-lógicas deben realizarse en base a desplazamiento entre registros.



Estructura de un procesador sin ALU

J.f.- Análisis de las diferentes arquitecturas de procesadores

- No necesariamente un procesador de n direcciones debe ocupar todas las direcciones en todas las instrucciones
- Una reducción del n° de direcciones \Rightarrow aumento del n° de instrucciones \Rightarrow aumento del n° de accesos a memoria

J.g.- Procesadores con banco de registros \Rightarrow registros de alm. temporal

<u>Ventajas</u>	}	- Acceso más rápido que a memoria
<u>uso bancos</u>		
<u>registros</u>		

J.g.- Arquitectura de carga/almacenamiento: Procesadores RISC

RISC \Rightarrow Computador con Set de Instrucciones Reducido

<u>Ventajas</u>	}	- Arquitectura carga/almacenamiento \Rightarrow accesos a memoria solo para extraer instrucción y datos y para almacenar datos.
		- Instrucciones son sencillas
		- Formato "regular" de instrucciones
		- Unidad de control cableada y el n° ciclos/instr = 1

Procesador RISC	Procesador CISC
1) Los accesos a memoria se restringen a instrucciones de carga/almacenamiento y las de manipulación de datos son entre registros.	1) La mayoría de los tipos de instrucciones permiten que el acceso a memoria sea de forma directa.
2) Existe un número limitado de modos de direccionamiento.	2) Hay un número considerable de modos de direccionamiento.
3) Los formatos de las instrucciones tienen todos la misma longitud.	3) Los formatos de las instrucciones tienen longitudes diferentes.
4) Las instrucciones realizan operaciones elementales.	4) Las instrucciones realizan operaciones elementales y complejas.

Comparación de las características de un procesador RISC frente a un procesador CISC

2.- Modos de direccionamiento

Gran variedad de modos de direccionamiento \Rightarrow

- Reducción del tamaño de palabra de la instrucción
- Aumento de la flexibilidad en la programación

Tipos de direccionamiento

- Implícito
- Inmediato
- Directo
- Relativo
- Indirecto
- Indexado

3.- Ciclo de ejecución de una instrucción

Fases en la ejecución de una instrucción

- Búsqueda de la instrucción
- Decodificación
- Búsqueda de operandos
- Ejecución

a) Búsqueda de la instrucción

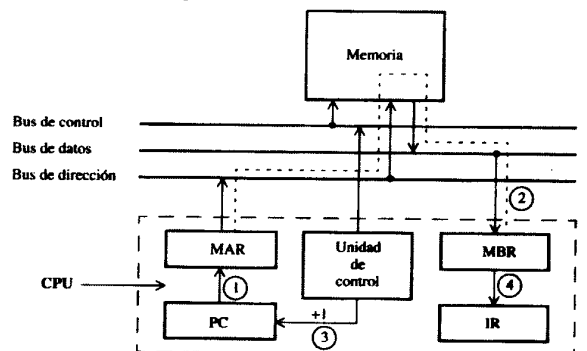
Arquitectura con PC conectado a bus dir.

- 1.- $IR \leftarrow M[PC]$
- 2.- $PC \leftarrow PC + 1$

; lo apuntado por PC a reg. instr.
; Incremento del PC

Arquitectura con MAR conect. bus dir. y MBR conect. a bus datos

- 1.- $MAR \leftarrow PC$
- 2.- $MBR \leftarrow M[MAR]$
- 3.- $PC \leftarrow PC + 1$
- 4.- $IR \leftarrow MBR$



En algunas ocasiones se pueden agrupar microoperaciones sin afectar a la fase correspondiente.

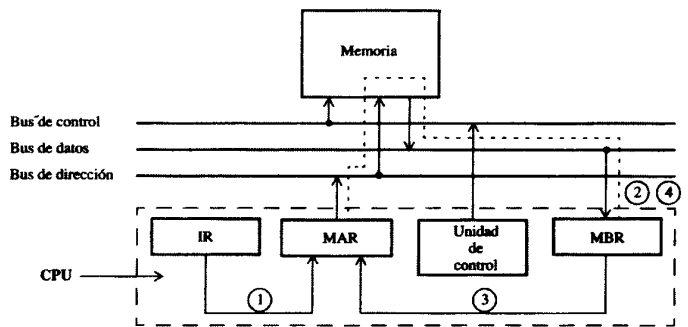
- Reglas } - Respetar la secuencia de acciones
agrupación } - Evitar conflictos

b) Decodificación de la instrucción

Analiza el campo del código operación de la instrucción y determina las operaciones a realizar

c) Búsqueda de los operandos

- 1.- $MAR \leftarrow IR [Dirección]$
- 2.- $MBR \leftarrow M[MAR]$
- 3.- $MAR \leftarrow MBR$
- 4.- $MBR \leftarrow M[MAR]$



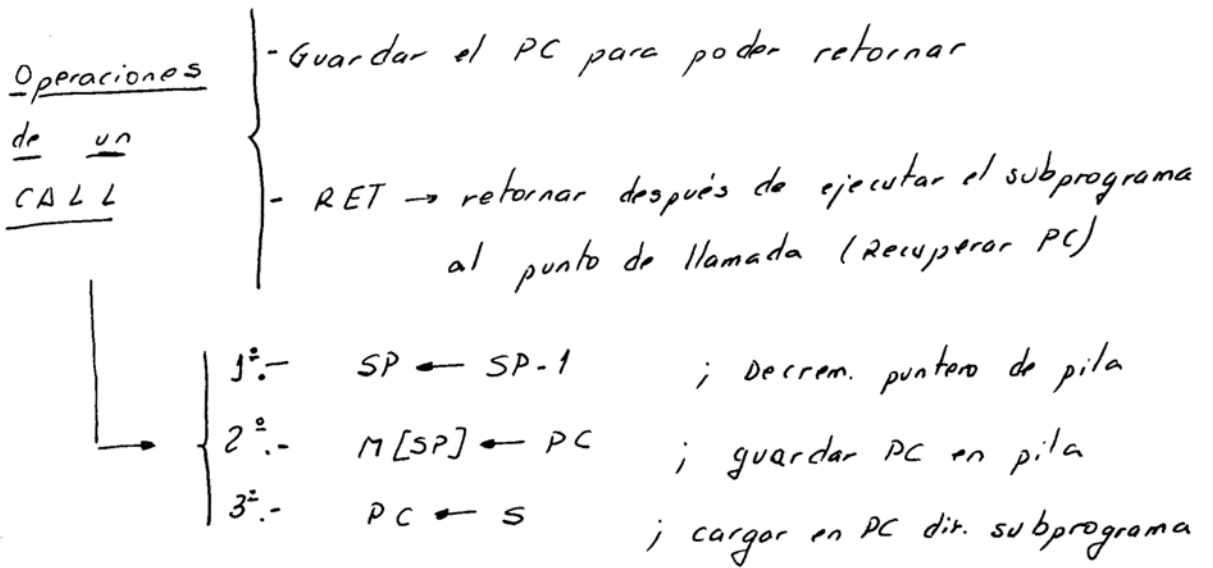
Flujo de datos en la fase de búsqueda de los operandos con un modo de direccionamiento indirecto

d) Ejecución de la instrucción

Realiza la operación indicada por la instrucción

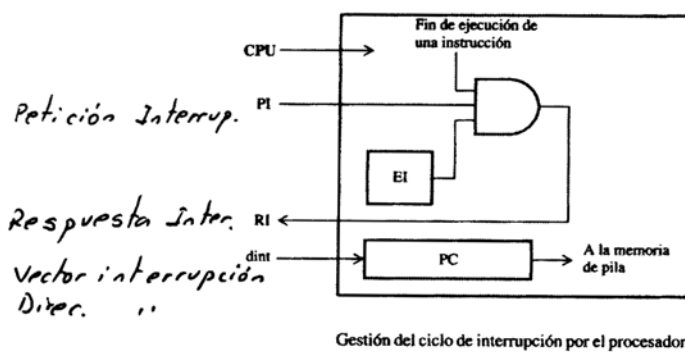
- Tipos de instrucciones } - Aritmético-lógicas
 } - Saltos } - condicionales
 } - incondicionales
 } - Transferencias a subprogramas
 } - Ciclo interrupción

e) Transferencia a subprograma



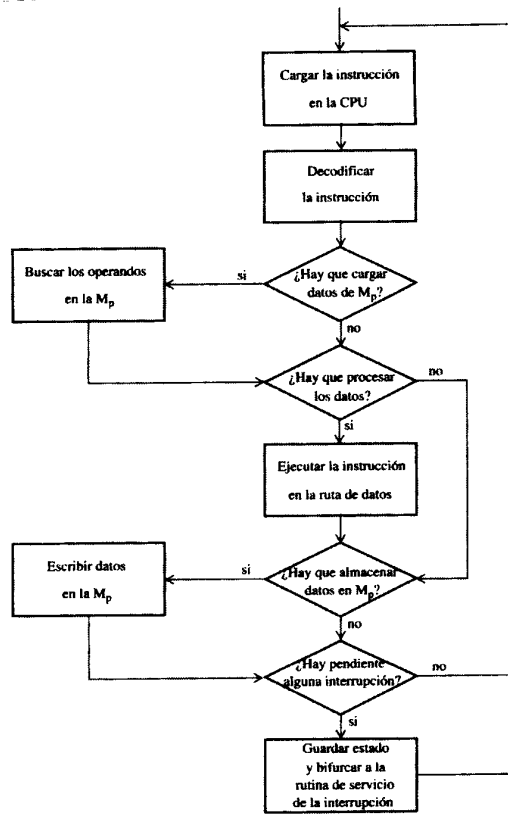
f) Ciclo interrupción

Es igual a la llamada a un subprograma pero no existe instrucción de llamada, la llamada se produce en el momento en que se actúa una señal hardware externa (PI)



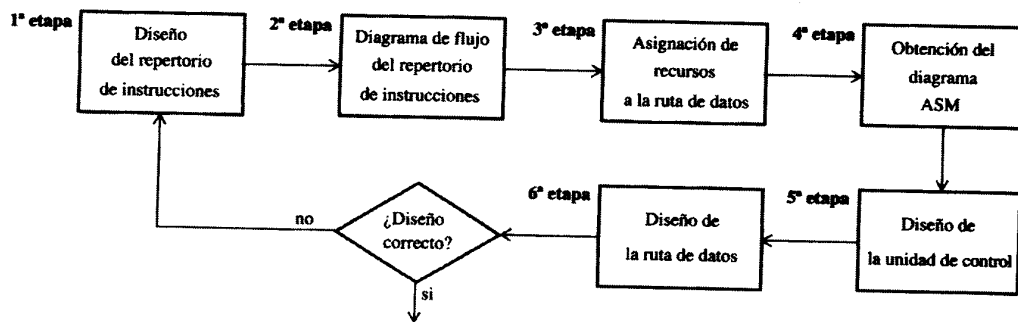
Operaciones:

- 1º.- $SP \leftarrow SP - 1$
- 2º.- $M[SP] \leftarrow PC$
- 3º.- $SP \leftarrow SP - 1$
- 4º.- $M[SP] \leftarrow RE$
- 5º.- $EI \leftarrow 0$
- 6º.- $RI \leftarrow 1$
- 7º.- $PC \leftarrow dint$



Organigrama del secuenciamiento de ciclos de instrucción y/o ciclos de interrupción

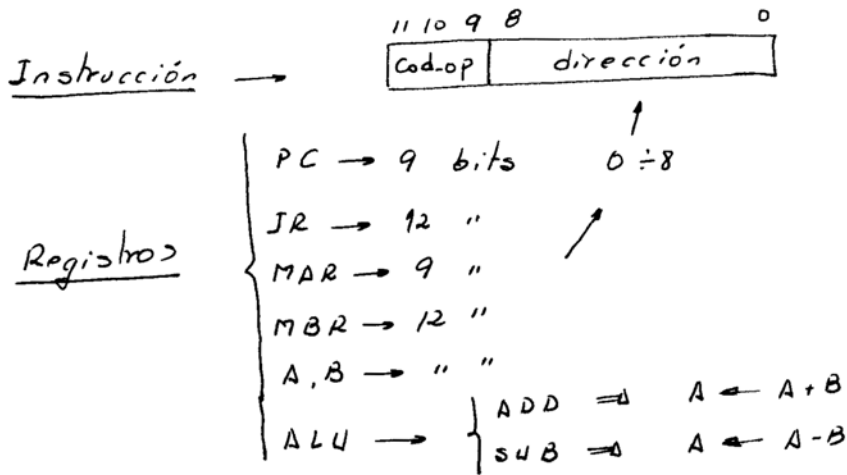
4.- Fases de diseño del procesador



Etapas en el diseño del procesador

5. Diseño de un procesador elemental

SIMPLE 1



Instrucciones

Nemotécnico	Código binario	Instrucción	Acción
LDA x	LDA = 001	Carga directa	$A \leftarrow M[x]$
STA x	STA = 010	Almacenamiento directo	$M[x] \leftarrow A$
ADD	ADD = 011	Suma B a A	$A \leftarrow A + B$
SUB	SUB = 100	Resta B de A	$A \leftarrow A - B$
MAB	MAB = 101	Mueve A a B	$B \leftarrow A$
BR x	BR = 110	Salto incondicional a x	$PC \leftarrow x$
BRN x	BRN = 111	Salto a x si indicador negativo a 1	$PC \leftarrow x$ si $IN = 1$

Repertorio de instrucciones de SIMPLE1

Diagrama flujo del repertorio de instrucciones

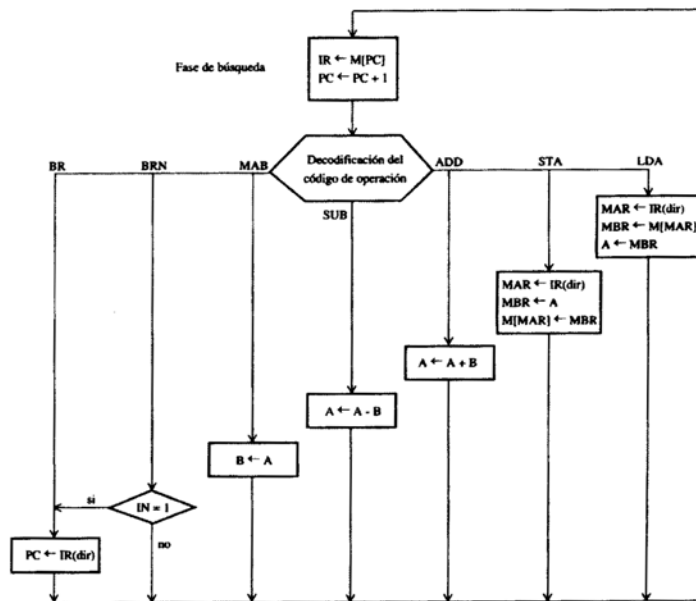


Diagrama de flujo del repertorio de instrucciones de SIMPLE1

Asignación de recursos a la unidad de procesamiento

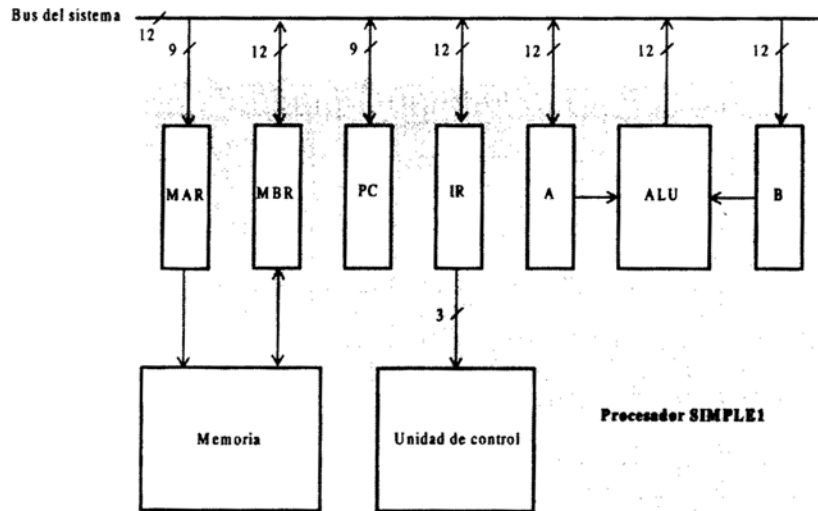


Diagrama ASM del procesador

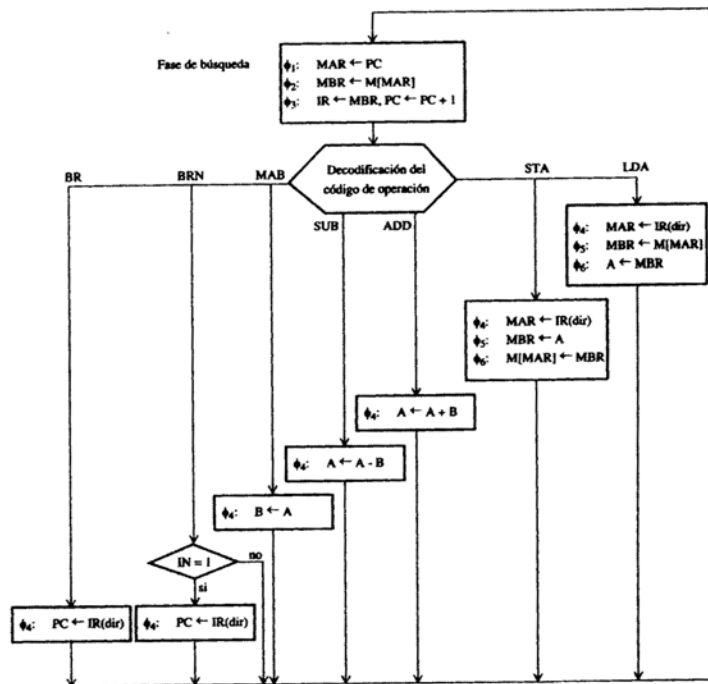
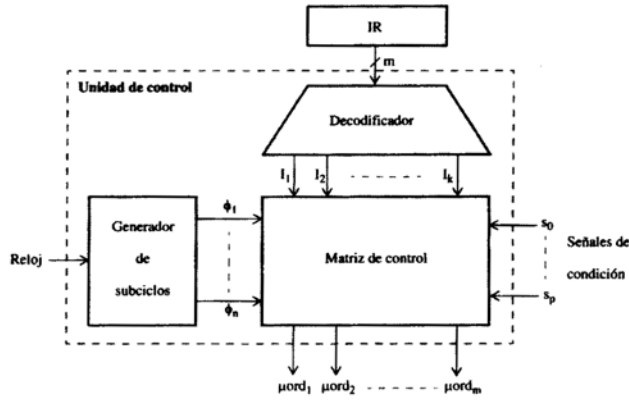


Diagrama ASM del procesador SIMPLE1

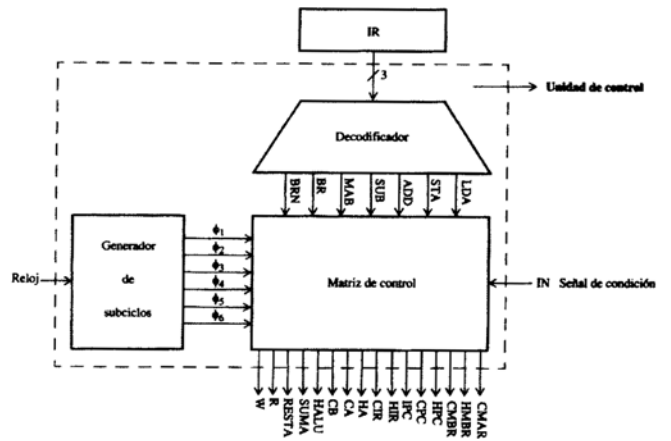
Es posible en el mismo ciclo de reloj leer un registro y escribir un nuevo valor en dicho registro.

Disño de la unidad de control



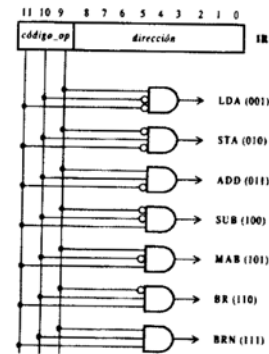
Señal de control	Microorden controlada
R	Leer de la memoria ($MBR \leftarrow M[MAR]$)
W	Escribir en la memoria ($M[MAR] \leftarrow MBR$)
CMAR	Cargar el contenido del bus en MAR ($MAR \leftarrow Bus$)
HMBR	Habilitar el registro MBR ($Bus \leftarrow MBR$)
CMBR	Cargar el contenido del bus en MBR ($MBR \leftarrow Bus$)
HPC	Habilitar el registro PC ($Bus \leftarrow PC$)
CPC	Cargar el contenido del bus en PC ($PC \leftarrow Bus$)
IPC	Incrementar el contenido de PC ($PC \leftarrow PC + 1$)
HIR	Habilitar el registro IR ($Bus \leftarrow IR$)
CIR	Cargar el contenido del bus en IR ($IR \leftarrow Bus$)
HA	Habilitar el registro A ($Bus \leftarrow A$)
CA	Cargar el contenido del bus en A ($A \leftarrow Bus$)
CB	Cargar el contenido del bus en B ($B \leftarrow Bus$)
HALU	Habilitar la unidad aritmético-lógica
SUMA	Seleccionar la función de suma en la unidad aritmético-lógica
RESTA	Seleccionar la función de resta en la unidad aritmético-lógica

Señales de control del procesador SIMPLE1

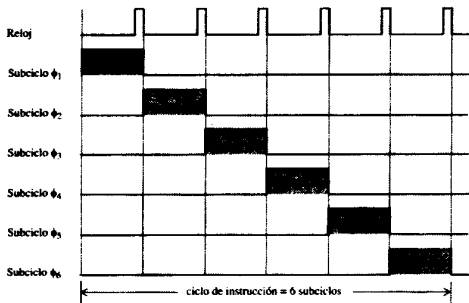


Unidad de control del procesador SIMPLE1 con decodificación de sus entradas

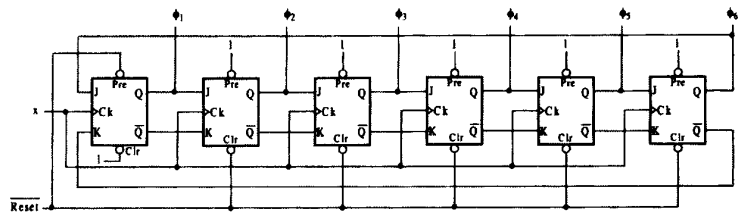
C → Carga ⇒ CMAR ⇒ MAR ← BUS
 H → Habilitar ⇒ HPC ⇒ BUS ← PC



Decodificador de instrucciones del procesador SIMPLE1



División del ciclo de instrucción del procesador SIMPLE1 en 6 subciclos



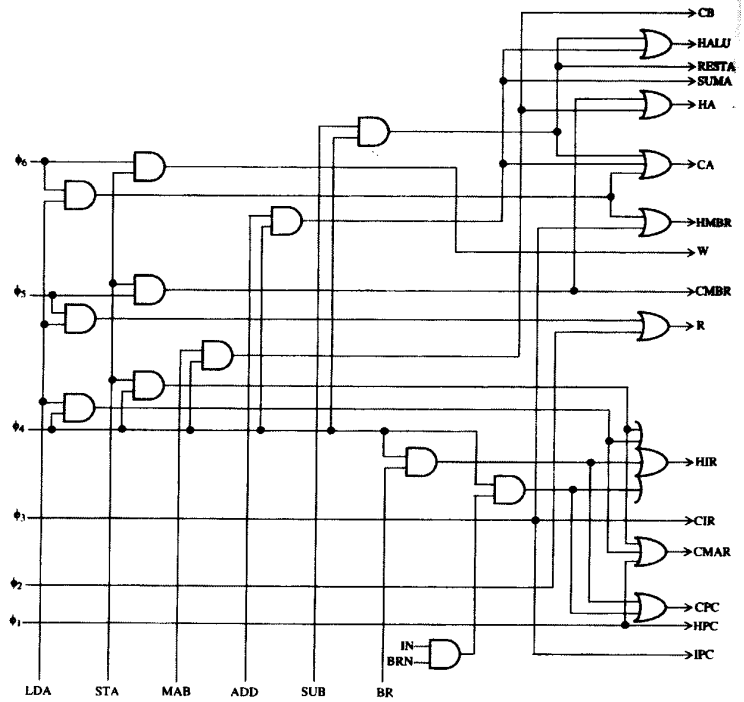
	Acción	Microoperaciones	Señales de control
Búsqueda	Fase de búsqueda de la instrucción	ϕ_1 : $MAR \leftarrow PC$; ϕ_2 : $MBR \leftarrow M[MAR]$; ϕ_3 : $IR \leftarrow MBR$, $PC \leftarrow PC + 1$;	ϕ_1 : HPC, CMAR ϕ_2 : R ϕ_3 : HMBR, CIR, IPC
LDA x	Carga directa	ϕ_4 : $MAR \leftarrow IR(dir)$; ϕ_5 : $MBR \leftarrow M[MAR]$; ϕ_6 : $A \leftarrow MBR$;	ϕ_4 : HIR, CMAR ϕ_5 : R ϕ_6 : HMBR, CA
STA dir	Almacenamiento directo	ϕ_4 : $MAR \leftarrow IR(dir)$; ϕ_5 : $MBR \leftarrow A$; ϕ_6 : $M[MAR] \leftarrow MBR$;	ϕ_4 : HIR, CMAR ϕ_5 : HA, CMBR ϕ_6 : W
ADD	Suma B a A	ϕ_4 : $A \leftarrow A + B$;	ϕ_4 : SUMA, HALU, CA
SUB	Resta B de A	ϕ_4 : $A \leftarrow A - B$;	ϕ_4 : RESTA, HALU, CA
MAB	Mueve A a B	ϕ_4 : $B \leftarrow A$;	ϕ_4 : HA, CB
BR x	Salto incondicional a x	ϕ_4 : $PC \leftarrow IR(dir)$;	ϕ_4 : HIR, CPC
BRN x	Salto a x si indicador negativo a 1	ϕ_4 : $PC \leftarrow IR(dir)$ (si IN = 1);	ϕ_4 : si IN = 1: HIR, CPC

Señales de control que hay que activar en cada microoperación

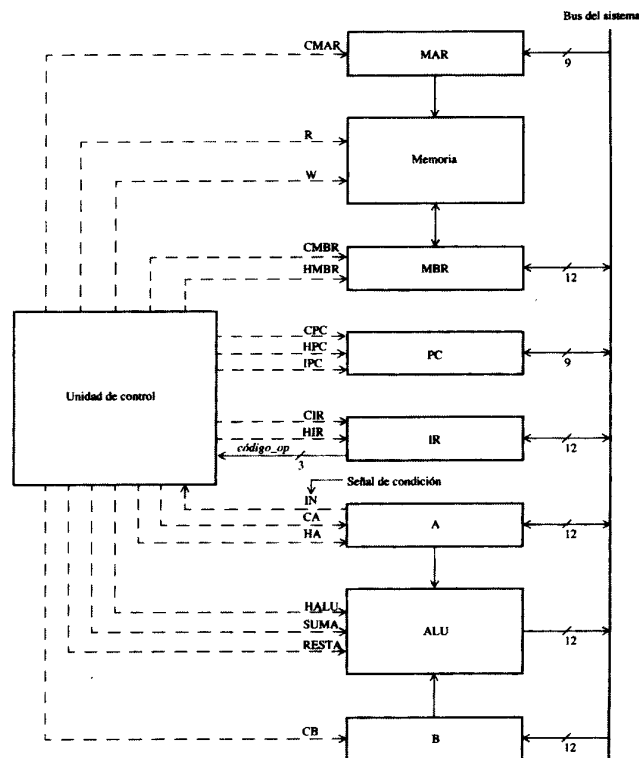
	IPC	CPC	HPC	CMAR	R	W	CMBR	HMBR	CIR	HIR	CA	HA	SUMA	RESTA	HALU	CB
Búsqueda	ϕ_3		ϕ_1	ϕ_1	ϕ_2			ϕ_3	ϕ_3							
LDA				ϕ_4	ϕ_5			ϕ_6		ϕ_4	ϕ_6					
STA				ϕ_4		ϕ_6	ϕ_5			ϕ_4		ϕ_5				
ADD											ϕ_4		ϕ_4		ϕ_4	
SUB											ϕ_4			ϕ_4	ϕ_4	
MAB												ϕ_4				ϕ_4
BR		ϕ_4								ϕ_4						
BRN		ϕ_4 IN								ϕ_4 IN						

Tabla 6.9: Matriz de instantes de activación de las señales de control para cada instrucción de SIMPLE1

$IPC = \phi_3$
 $CPC = \phi_4 BR + \phi_4 IN BRN$
 $HPC = \phi_1$
 $CMAR = \phi_1 + \phi_4 LDA + \phi_4 STA$
 $R = \phi_2 + \phi_5 LDA$
 $W = \phi_6 STA$
 $CMBR = \phi_5 STA$
 $HMBR = \phi_3 + \phi_6 LDA$
 $CIR = \phi_3$
 $HIR = \phi_4 LDA + \phi_4 STA + \phi_4 BR + \phi_4 IN BRN$
 $CA = \phi_6 LDA + \phi_4 ADD + \phi_4 SUB$
 $HA = \phi_5 STA + \phi_4 MAB$
 $SUMA = \phi_4 ADD$
 $RESTA = \phi_4 SUB$
 $HALU = \phi_4 ADD + \phi_4 SUB$
 $CB = \phi_4 MAB$



Matriz de control del procesador SIMPLE1



Procesador SIMPLE1 y su conexión con la memoria