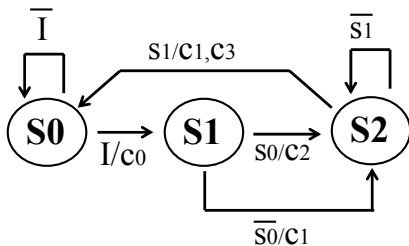


2006

PRIMERA SEMANA

Test

1.- En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique si las siguientes afirmaciones son verdaderas:



- I. La unidad de control se puede implementar usando un registro de 2 bits y una memoria ROM de 2^5 palabras, con 6 bits por palabra.
 - II. La unidad de control se puede implementar usando un MUX (2^2), un registro de 2 bits y una memoria ROM de 2^3 palabras, con 6 bits por palabra.
- A) I: sí, II: sí. B) I: sí, II: no.
C) I: no, II: sí. D) I: no, II: no.

2.- Se tiene un sistema con una memoria principal de 256 Kpalabras y una memoria caché de 32 Kpalabras con bloques de 16 palabras, siendo el tamaño de la palabra de 2 bytes. Se sabe que el sistema de memoria caché tiene asignada una función de correspondencia de tipo directo. Indicar cuál de las siguientes direcciones provocaría un reemplazamiento del bloque de memoria caché ocupado por el bloque de memoria principal asociado a la dirección 8560_{10} .

- A) 8575_{10} B) 8688_{10} C) 41334_{10} D) Ninguna de las anteriores

3.- La memoria de un ordenador consta de 20 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema al comienzo de la operación y durante un 12,5% del tiempo total del ciclo de escritura. El 87,5 % del tiempo de ciclo de escritura restante el módulo lo emplea para almacenar el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse, ¿en cuánto se ve incrementada la velocidad máxima de almacenamiento de la memoria del ordenador en relación a la velocidad de un único módulo?

- A) 10 veces B) 5 veces C) Nada D) Ninguna de las anteriores

4.- Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 12 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 8 bits representan la dirección de memoria. A continuación, se muestra una lista parcial de los códigos de operación:

0111: Cargar el registro acumulador desde memoria.

1101: Almacenar en memoria el contenido del registro acumulador.

1110: Restar al acumulador el contenido de una dirección de memoria. El resultado se almacena en el acumulador.

Indique cual de los siguientes fragmentos de programa resta al contenido de la dirección de memoria $3B_{16}$ el contenido de la dirección de memoria $3A_{16}$ y almacena el resultado en la dirección de memoria $3A_{16}$.

- A) $73A_{16}$, $E3B_{16}$, $D3A_{16}$ B) $73B_{16}$, $E3A_{16}$, $D3A_{16}$ C) Los anteriores son correctos D) Ninguno de los anteriores

5.- Un disco magnético con 64 pistas, numeradas del 0 al 63, tiene la siguiente cola de peticiones de acceso: 1, 3, 63, 47, 2, 46. Indique si las siguientes afirmaciones son verdaderas.

- I. La LMB (Longitud Media de Búsqueda) asociado a una planificación SCAN es de 10.5. Se supone que se parte de la pista 0 en el sentido ascendente de numeración de las pistas.
- II. La planificación FCFS mejora ostensiblemente la LMB de la planificación SCAN de la afirmación anterior, es decir, se obtiene una LMB mucho menor.

- A) I:sí; II:sí B) I:sí; II:no C) I:no; II:sí D) I:no; II:no

6.- Un controlador de DMA está transmitiendo, mediante robo de ciclos, caracteres a memoria desde un periférico. La CPU realiza la búsqueda de las instrucciones a una velocidad de 1 millón de instrucciones por segundo. Si el porcentaje en que se reduce la velocidad del procesador debido al controlador DMA es de 0.89%, ¿a qué velocidad estará transmitiendo el DMA? Suponga una longitud de palabra de 8 bits y que la CPU emplea en promedio 2 ciclos para ejecutar una instrucción.

- A) 132000 bits/seg B) 142400bits/seg C) 123700 bits/seg D) Ninguna de las anteriores

7.- Indique el número mínimo de SBC's de 1 bit que hacen falta para:

- I. Diseñar un circuito combinacional que sea un sumador de 7 números de 1 bit de longitud.
 II. Diseñar un circuito combinacional que sea un sumador de 5 números de 2 bits de longitud.

- A) I: 3, II: 6. B) I: 4, II: 5. C) I: 4, II: 6. D) Ninguna de las anteriores.

8.- El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados (S_0, S_1, S_2, S_3) y dos señales de condición (I, s_0). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$. Las funciones de entrada de los elementos de memoria son las siguientes:

$$D_0 = Q_1 + \overline{Q_0} \cdot I + Q_0 \cdot \overline{s_0} \qquad D_1 = s_0 \cdot Q_1 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}.$$

Indique si las siguientes afirmaciones son verdaderas:

- I. Cuando el estado presente es S_2 , entonces el próximo estado es S_3 .
 II. Cuando el estado presente es S_1 y se verifica $s_0=1$, entonces el estado siguiente es S_2 .

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Solución:

1.- Véase el apartado 5.5.8 del texto base de teoría] El diagrama tiene 3 estados, luego necesita $n=2$ bits para su codificación, $q=3$ señales de condición como entradas a la unidad de control: I, s_0, s_1 , $m=4$ salidas de la unidad de control: c_0, c_1, c_2, c_3 .

I. Por lo tanto sí se puede diseñar la unidad de control utilizando una ROM de $2^{n+q} = 32$ palabras de $(n+m) = 6$ bits/palabra y un registro de $n=2$ bits. El esquema del diseño se muestra en la Figura 1. De esta manera la afirmación I es cierta.

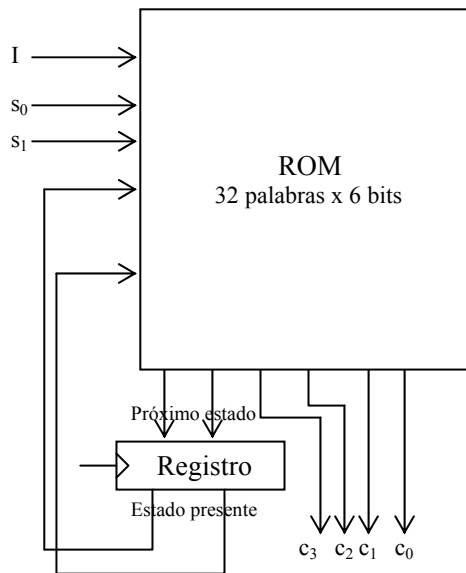


Figura 1: Diseño de la unidad de control utilizando ROM y registro.

II. Si se utiliza para el diseño el método de selección por estado, se necesitaría una ROM de $2^{n+1} = 8$ palabras de $n+m = 6$ bits por palabra; un registro de $n= 2$ bits y un multiplexor de $2^n = 4$ a 1. El diseño es el que se muestra en la Figura 2. Por tanto, la afirmación II es correcta.

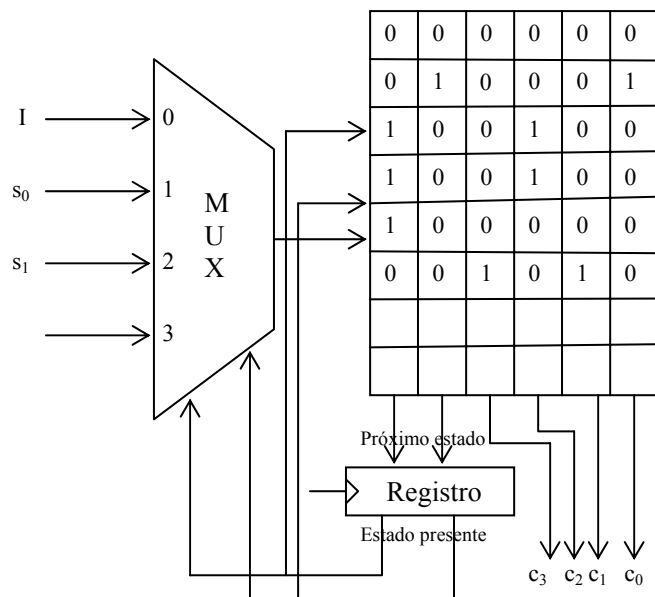


Figura 2: Diseño de la unidad de control utilizando el método de selección por estado.

Respuesta: A (I: sí, II: sí)

2.- Véase el apartado 2.4.3 del libro de teoría. Las direcciones de memoria principal tendrán una anchura de $n=18$ bits, ya que el número total de palabras de ésta es de $256 \text{ Kpalabras} = 2^{18}$ palabras.

Como la caché utiliza correspondencia directa, una dirección de memoria principal se compondrá de los campos Etiqueta, Bloque y Palabra. La capacidad de la memoria caché es de $32 \text{ Kpalabras} = 2^{15}$ palabras. Como se tienen 16 palabras/bloque, el número de bloques en la memoria caché $= 2^{15} \text{ palabras} / (2^4 \text{ palabras/bloque}) = 2^{11}$ bloques. Por lo tanto el campo Bloque tiene una anchura de $b=11$ bits. Como hay 2^4 palabras/bloque, se necesitan 4 bits para el campo Palabra. Finalmente, el campo etiqueta tendrá $18 - (11 + 4) = 3$ bits de anchura.

Resumiendo, una dirección estará compuesta por 18 bits correspondiendo los tres primeros bits a la etiqueta, los 11 siguientes al bloque y los 4 últimos a la palabra.

Para responder a esta pregunta basta con descomponer las direcciones proporcionadas en sus respectivos 3 campos:

$$8560 = 000 \mathbf{01000010111} 0000$$

Opción A) $8575 = 000 \mathbf{01000010111} 1111$. Está en el mismo bloque y tiene igual etiqueta, y por lo tanto no implica reemplazamiento.

Opción B) $8688 = 000 \mathbf{01000011111} 0000$. Es otro bloque y no se corresponde con el ocupado por el bloque asociado a la dirección 8560

Opción C) $41334 = 001 \mathbf{01000010111} 0110$. Tiene el mismo número de bloque y distinta etiqueta. Si se hiciera una referencia a memoria, éste bloque sustituiría al actual (el asociado al 8560).

Respuesta: C

3.- Véase problema 1-3 del libro de problemas. La situación planteada por el problema se ilustra en la Figura 3, donde los M_i representan los módulos de memoria propuestos.

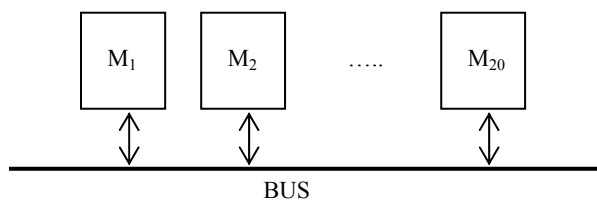


Figura 3: Esquema de los módulos de memoria.

El ciclo de escritura en los módulos de memoria se muestra gráficamente en la Figura 4. En la primera parte del ciclo (línea más gruesa) el módulo de memoria utiliza el bus en exclusiva, pero en la segunda parte (línea más fina) cualquier otro módulo puede hacer uso del bus. Según el enunciado, para todo el problema el tiempo de ocupación del bus (primera parte del ciclo) es constante e igual al 12,5% del tiempo total del ciclo de escritura.

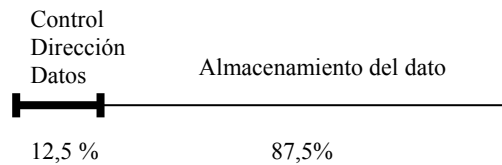


Figura 4: Ciclo de escritura de los módulos de memoria.

El tiempo empleado en el almacenamiento del dato corresponde al 87,5% restante del tiempo de ciclo de escritura.

Utilizando los veinte módulos disponibles, y solapando al máximo los ciclos de escritura para intentar que en todo momento uno de los módulos esté accediendo al bus, se llega a la situación representada en la Figura 5.

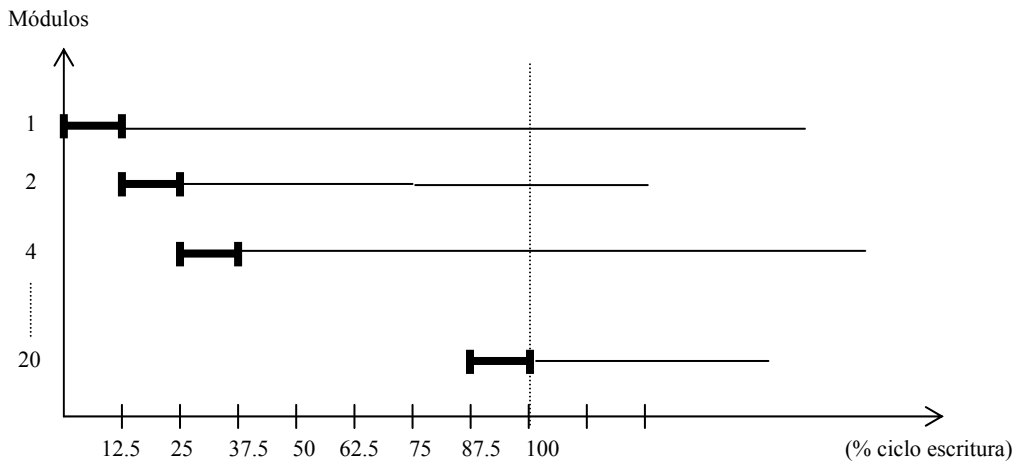


Figura 5: Máximo solapamiento.

Como se observa, cada ciclo de escritura empiezan ocho operaciones de escritura. Es capaz por lo tanto de simultanear 8 operaciones de escritura ($100/12,5=8$). Luego mejora en 8 veces la velocidad de un único módulo.

Respuesta: D

4.- Véase el ejemplo 1.2.2 del libro de teoría. En primer lugar se expresa cada uno de los códigos de operación que se indica en el enunciado en hexadecimal, codificando la operación que se efectúa con cada uno:

- 0111 = 7_{16} : $AC \leftarrow [MEM]$
- 1101 = D_{16} : $[MEM] \leftarrow AC$
- 1110 = E_{16} : $AC \leftarrow AC - [MEM]$

La operación que se pide es restar al contenido de la dirección de memoria $3B_{16}$ el contenido de la dirección de memoria $3A_{16}$ y almacena el resultado en la dirección de memoria $3A_{16}$, o lo que es lo mismo: $[3A_{16}] \leftarrow [3B_{16}] - [3A_{16}]$

Por tanto las instrucciones son: $73B_{16} E3A_{16} D3A_{16}$

Respuesta: B

5.- Véase el apartado 2.8.4 del libro teoría y el problema 3-32 del libro de problemas. En la planificación SCAN se restringe el rastreo a una única dirección. Así, cuando se ha visitado la última pista en una dirección, la cabeza vuelve al extremo opuesto del disco y comienza otra vez la exploración. La planificación FCFS es tipo cola, por lo que en general tendrá una LMB mayor que el resto de planificaciones. El único momento en que son iguales los LMB para SCAN y FCFS se produce cuando la secuencia de peticiones está ordenada inicialmente.

- Planificación SCAN:
Atención de las peticiones: 1, 2, 3, 46, 47, 63

Próxima pista	1	2	3	46	47	63
Pistas recorridas	1	1	1	43	1	16

$LMB = 63/6=10.5$

- Planificación FCFS:
Atención de las peticiones: 1, 3, 62, 47, 2, 46

Próxima pista	1	3	62	47	2	46
Pistas recorridas	1	2	59	15	45	44

$$LMB = 166/6=27.7$$

Respuesta: B

6.- Véase el problema 3-15 del libro de problemas. Si v es la velocidad pedida, el número de palabras que se transmiten por segundo es: $(v \text{ bits/s})/(8 \text{ bits/palabra})=v/8$ palabras/s. Como el DMA utiliza la estrategia de robo de ciclos, en cada ciclo el DMA transmite 1 palabra completa, luego el nº de robo de ciclos es $v/8$ ciclos/s.

Estos ciclos suponen un número de instrucciones que la CPU deja de ejecutar en cada segundo. Estas son:

$$[(v/8)/2]=v/16 \text{ instrucciones/s}$$

La penalización que este número de instrucciones no ejecutadas supone para la CPU es del 0.89%, por lo tanto:

$$0.89=[(v/16)/(1*10^6)]*100, \text{ de donde: } v=0.89*16*10^4=142400 \text{ bits/s}$$

Respuesta: B

7.- Véase el problema 4-13 del libro de problemas. Se define un *contador paralelo* $CP(p;d)$ como un circuito combinacional con d salidas y $p \leq (2^d - 1)$ entradas, donde el número binario representado por las d salidas es igual al número de unos presentes en las entradas.

Teniendo en cuenta esta definición, el objetivo es sintetizar un $CP(6;3)$ (ver Figura 6, utilizando como componente básico elemental un $CP(3;2)$ (ver Figura 7). El contador paralelo (3;2) corresponde a un SBC. En la Figura 8 se muestra la síntesis del contador paralelo $CP(6;3)$ con contadores paralelos $CP(3;2)$. La estructura del circuito correspondiente se da en la Figura 7.

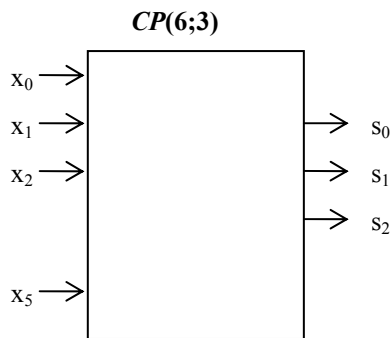


Figura 6: Diagrama funcional

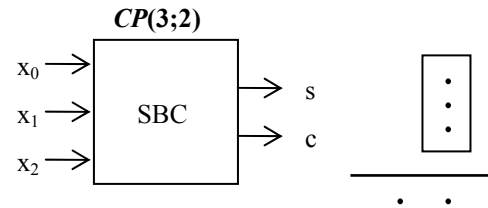


Figura 7: Módulo SBC y diagrama de puntos

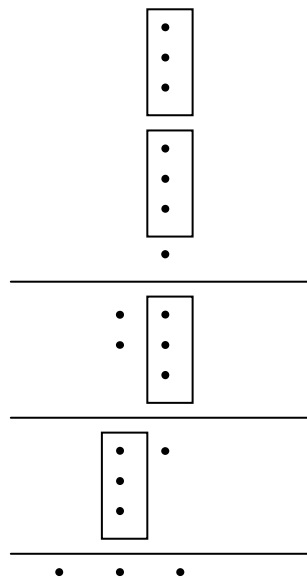


Figura 8: Organización de sumadores utilizando notación de puntos

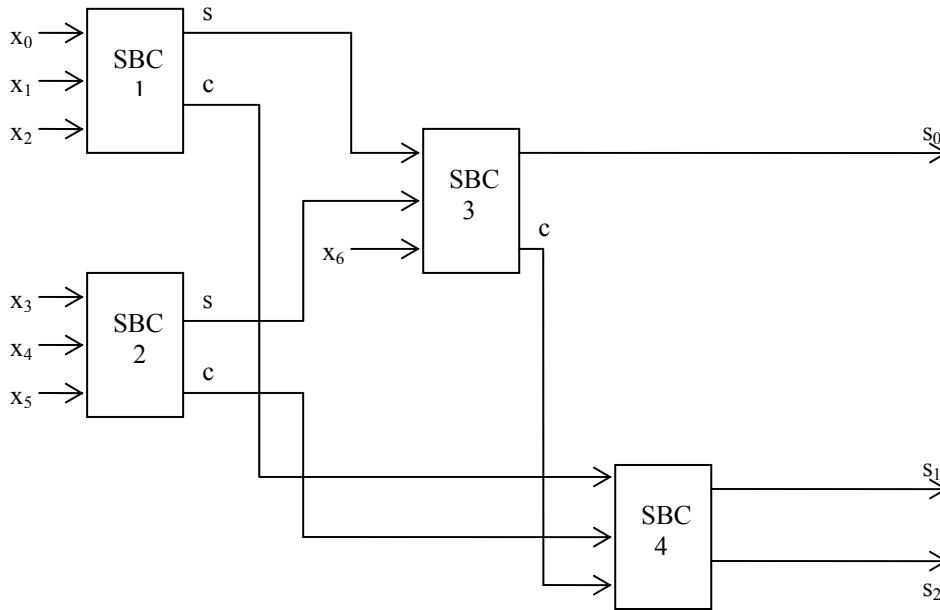


Figura 9: Estructura del circuito

Como se puede observar en las Figuras 8 y 9 son necesarios 4 SBC como mínimo.

II. Resolviendo esta cuestión de manera análoga se concluye que son necesarios 6 SBC como mínimo. En la Figura 10 se representa la organización de sumadores utilizando la notación de puntos.

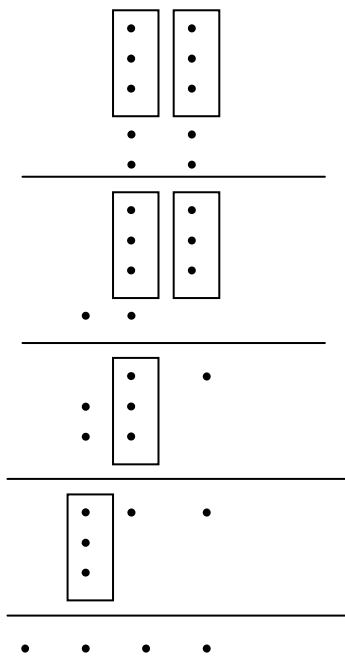


Figura 10: Organización de sumadores utilizando notación de puntos.

Respuesta: C

8.- La síntesis de la unidad de control mediante elementos de memoria tipo D se explica en el apartado 5.5.5 del libro de teoría.

Teniendo en cuenta las funciones de entrada a los elementos de memoria tipo D que se dan en el enunciado, y realizando la asignación de estados que se especifica, se obtiene la siguiente tabla de transición de estados:

Estado presente	Próximo estado			
	$\overline{I}S_0$	$\overline{I}S_0$	IS_0	IS_0
00	00	00	01	01
01	11	10	11	10
10	11	11	11	11
11	01	01	01	11

A partir de esta tabla se verifican ambas afirmaciones: Cuando el estado presente es S_2 , entonces el próximo estado es S_3 ; y cuando el estado presente es S_1 y se verifica $s_0=1$, entonces el estado siguiente es S_2 .

Respuesta: A

Cuestiones teórico-prácticas

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 3 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Problema

Un periférico con una velocidad de transferencia de 1.500.000 bytes/segundo se conecta mediante un DMA a un procesador que tarda una media de 200 nanosegundos en ejecutar una instrucción. El DMA requiere 10 instrucciones de inicialización y en la transferencia de un byte mantiene ocupados los buses durante 100 nanosegundos.

Se quieren transferir 500 bytes. Calcular para el peor de los casos (el procesador está parado mientras el DMA ocupa el bus):

- A) (2 puntos) El tiempo que dedica el procesador a la transferencia de los 500 bytes.
- B) (2 puntos) El número de instrucciones de otro proceso que puede ejecutar el procesador mientras se realiza la transferencia del bloque de datos.

Solución

Los conceptos para resolver este problema están expuestos en la Sección 3-5-2 del libro de texto donde se explica la transferencia de datos mediante DMA.

- A) El tiempo que dedica el procesador a la transferencia será el tiempo de inicialización del DMA más el tiempo que pierde en los robos de ciclo de DMA.

El tiempo de inicialización del DMA es:

$$t_{ini} = 10 \text{ instr} \times 200 \text{ nseg/instr} = 2.000 \text{ nseg} = 2 \text{ } \mu\text{seg}$$

El tiempo de robo de ciclo del DMA es:

$$t_{robo} = 500 \text{ bytes} \times 100 \text{ nseg/bytes} = 50.000 \text{ nseg} = 50 \text{ } \mu\text{seg}$$

El tiempo total será:

$$T_{total} = t_{ini} + t_{robo} = 52 \text{ } \mu\text{seg}$$

- B) El tiempo que tarda en realizarse la transferencia del bloque de datos una vez que se ha inicializado el DMA es:

$$t_{transf} = 500 \text{ bytes} \times 1/1.500.000 \text{ bytes/seg} = 333.333 \text{ nseg} = 333 \text{ } \mu\text{seg}$$

Durante este tiempo, 50 μseg se pierden en robos de ciclo del DMA, luego el tiempo que podrá dedicar la CPU a la ejecución de otro proceso será de 283 μseg . En 283 μseg , la CPU puede ejecutar el siguiente número de instrucciones:

$$N_{instr} = 283 \text{ } \mu\text{seg} \times 1/200 \text{ nseg/instr} = 1415 \text{ instrucciones}$$

2006

SEGUNDA SEMANA

Test

1.- Sea un procesador de 32 bits capaz de ejecutar 4 millones de instrucciones por segundo (4 MIPS). El procesador precisa $1,25 \mu\text{s}$ (equivalente a la ejecución de 5 instrucciones) para realizar un cambio de contexto y comenzar un programa de servicio de interrupciones (y el mismo tiempo para realizar el cambio de contexto en sentido inverso). A este computador está conectado un periférico, que es una línea serie por la que se reciben bloques de datos de 512 bytes con una velocidad de transferencia de 1Kbyte/s. El módulo de entrada/salida interrumpe cada vez que se recibe un byte y en la rutina de tratamiento de interrupción de este periférico se ejecutan 20 instrucciones. ¿Qué tanto por ciento de instrucciones puede dedicar el procesador a otros procesos durante la transferencia de un bloque del periférico?

- A) 99,23% B) 95,25% C) 89,21% D) Ninguna de la anteriores.

2.- Una unidad de disco tiene 40 superficies, 1024 cilindros, 128 sectores por pista y 32 Kbytes por sector. Además se sabe que el disco gira a 7200 rpm y tiene un formato con entrelazado cuádruple. Indique si las siguientes afirmaciones son verdaderas.

- I. La capacidad de la unidad de disco es de 160 GB.
II. La velocidad de transferencia es de 480 Mbytes/s.

- A) I:sí; II:sí B) I:sí; II:no C) I:no; II:sí D) I:no; II:no

3.- Un dispositivo de entrada/salida tiene como dirección base la 400_{16} . El bus de direcciones del dispositivo utiliza las dos líneas de direcciones menos significativas A_0 y A_1 del bus de direcciones del sistema para seleccionar registros internos del dispositivo. A su vez, la selección del dispositivo CS está conectada a un circuito que implementa la lógica de selección y cuyas entradas son A_2 , A_5 , A_6 y A_7 . ¿Con cuál de las siguientes direcciones se puede acceder al mismo registro de este dispositivo que con la dirección 403_{16} ?

- A) $41B_{16}$ B) 483_{16} C) 407_{16} D) Ninguna de las anteriores.

4.- Indique si las siguientes afirmaciones son verdaderas.

- I. Una transferencia de datos en un bus que utiliza la técnica de multiplexación en el tiempo de direcciones y datos se realiza de la forma siguiente: se coloca la dirección en el Bus de Direcciones y se mantiene mientras el dato se sitúa en el Bus de Datos.
II. Cuando las salidas de varias puertas triestado se encuentran conectadas a una misma línea de un bus, sólo una de ellas puede estar en estado de alta impedancia.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

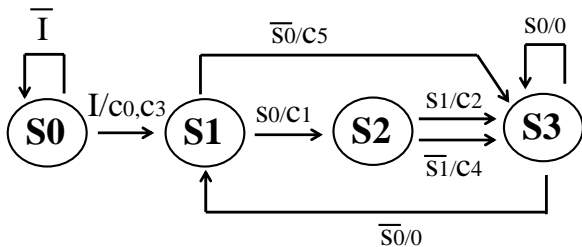
5.- En una memoria caché en la que se realizan 2^{12} accesos se producen 2^{10} fallos. La memoria caché tiene un tiempo de acceso medio de 5 ns, mientras que el tiempo de acceso medio de la memoria principal es de 100 ns. Indique si las siguientes afirmaciones son verdaderas.

- I. La tasa de aciertos es del 25%.
II. El tiempo de acceso medio al sistema conjunto memoria principal-memoria caché es de 87.5 ns.

- A) I:sí; II:sí B) I:sí; II:no C) I:no; II:sí D) I:no; II:no

6.- Una unidad de control, cuyo diagrama de estados de Huffman-Mealy se muestra en la figura, se implementa usando dos elementos de memoria tipo D. Para ello, se realiza la asignación de estados siguiente: $S_0:\{Q_1=0, Q_0=0\}$, $S_1:\{Q_1=0, Q_0=1\}$, $S_2:\{Q_1=1, Q_0=0\}$ y $S_3:\{Q_1=1, Q_0=1\}$. Indique si las siguientes afirmaciones, acerca de la función de

entrada al segundo elemento de memoria, son verdaderas:

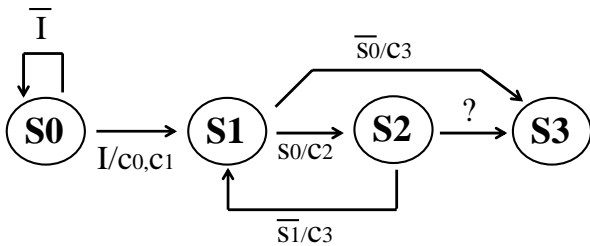


- A) $D_1 = s_0 \cdot Q_1 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}$
- B) $D_1 = s_0 \cdot Q_0 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

7.- Sean dos números binarios de 16 bits representados en código BCD: X = 0001100101010100 e Y = 0111100000100101. El resultado de su suma, representado en código exceso-3, es:

- A) 1001011101111001
- B) 1100101010101100
- C) 1001000101111100
- D) Ninguna de las anteriores.

8.- En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique cuál de las siguientes opciones puede sustituir al símbolo interrogación (“?”), que se muestra en la transición entre S₂ y S₃, de tal modo que esta unidad de control pueda ser implementada usando un MUX (2²), un registro de 2 bits y una memoria ROM de 2³ palabras, con 6 bits por palabra:



- A) s2 / c2, c3
- B) s1 / c4
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores es correcta.

Solución:

1. Como la velocidad de transferencia indicada en el enunciado es 1 Kbyte/s y un bloque ocupa 512 bytes, se tarda $512/2^{10} = 0.5$ segundos en enviar un bloque. Además, cómo la velocidad de ejecución del procesador es 4 MIPS, en 0.5 segundos puede ejecutar, si no se producen interrupciones, 2×10^6 instrucciones. Cada vez que se recibe 1 byte el periférico interrumpe, por lo tanto habrá 512 interrupciones/bloque. Teniendo en cuenta que cada interrupción equivale a la ejecución de $20+5+5=30$ instrucciones, se necesitarán 30×512 instrucciones de interrupción por bloque transmitido. De esta manera, el porcentaje de instrucciones que puede dedicar el procesador a otros procesos durante la transferencia de un bloque del periférico es:

$$\frac{2 \times 10^6 - 30 \times 512}{2 \times 10^6} \times 100 = 99.23\%$$

Respuesta: A (99.23%)

2. Véase la solución de los Problemas 3-26 y 3-28.

Afirmación I. El cálculo de la capacidad del disco se realiza de la forma siguiente:

$$\begin{aligned} & 40 \text{ superficies} \times 1024 \text{ pistas/superficie} \times 128 \text{ sectores/pista} \times 32 \text{ Kbytes/sector} = \\ & 40 \text{ superficies} \times 2^{10} \text{ pistas/superficie} \times 2^7 \text{ sectores/pista} \times 2^5 \text{ Kbytes/sector} = \\ & 40 \text{ superficies} \times 2^{22} \text{ Kbytes/superficie} = \\ & 40 \times 2^{32} \text{ bytes} = 40 \times 2^2 \times 2^{30} \text{ bytes} = 160 \text{ GB} \end{aligned}$$

Por tanto, la afirmación I es cierta.

Afirmación II. La velocidad de transferencia (V_t) puede calcularse a partir del número de bytes en una pista (P) y de la velocidad de rotación (f) de la manera siguiente:

$$\begin{aligned} V_t &= P \times f = \\ & (2^7 \text{ sectores/pista} \times 2^5 \text{ Kbytes/sector}) \times (7200/60 \text{ revoluciones/s}) = \\ & 2^{12} \text{ Kbytes/pista} \times 120 \text{ revoluciones/s} = \\ & 480 \text{ Mbytes/s} \end{aligned}$$

Puesto que el entrelazado es cuádruple, se lee una cuarta parte de los sectores por vuelta. Por ello, la velocidad de transferencia real para este disco es 120 Mbytes/s. La afirmación II es falsa.

Respuesta: B (I: sí; II: no)

3. Véase el Apartado b del Problema 3-19. Mediante A₀ y A₁ se selecciona el registro interno del dispositivo y mediante A₂, A₅, A₆ y A₇ se selecciona el dispositivo. La dirección 403₁₆ escrita en binario es: 0100 0000 00 11. Obsérvese que los valores de A₂, A₅, A₆ y A₇ son 0, 0, 0 y 0 respectivamente. A continuación, se muestra el valor binario de las direcciones dadas en las respuestas A, B y C:

- A) 0100 0001 10 11
- B) 0100 1000 00 11

C) 0100 0000 01 11

De estas tres direcciones, la única en la cual los valores de los bits A_0, A_1, A_2, A_5, A_6 y A_7 coinciden con los de la dirección 403_{16} es $41B_{16}$. Por ello la respuesta correcta es la A.

Respuesta: A ($41B_{16}$)

4. *Afirmación I.* Véase el Apartado 1.4.4 del libro de teoría. No tiene sentido hablar de multiplexación y mantener datos y direcciones simultáneamente en el bus, por lo que esta afirmación es falsa.

Afirmación II. Véase el Apartado 1.4.5 del libro de teoría. Tal como se menciona en el texto, es justamente al revés. La afirmación II es falsa.

Respuesta: D (I: no; II: no)

5. *Afirmación I.* La tasa de aciertos h puede calcularse de la forma siguiente (véase el apartado 2.4.1 del texto de teoría):

$$h = \frac{\text{Numero de veces que la palabra solicitada de encuentra en la } M_{ca}}{\text{Numero total de referencias}} = \frac{2^{12} - 2^{10}}{2^{12}} = 0.75 \Rightarrow 75\%$$

La afirmación I es falsa.

Afirmación II. Para el cálculo del tiempo de acceso medio t_a al sistema conjunto de memoria ($M_p + M_{ca}$) se puede emplear la expresión siguiente (véase el Apartado 2.4.1 del libro de teoría):

$$t_a = h \times t_{ca} + (1-h) \times t_p = 0.75 \times 5 + (1-0.75) \times 100 = 28.75 \text{ ns}$$

La afirmación II es falsa.

Respuesta: D (I: no; II: no)

6. Véase el Apartado 5.5.5 del libro de teoría. A partir del diagrama de estados de Huffman-Mealy dado en el enunciado, puede construirse la tabla de transición de estados mostrada en la Figura 6.1. En la Figura 6.2 se muestra la misma tabla, pero sustituyendo cada estado por el correspondiente valor de los elementos de memoria, de acuerdo con la asignación indicada en el enunciado: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$.

Estado presente	Próximo estado			
	$\bar{I} \cdot \bar{s}_0$	$\bar{I} \cdot s_0$	$I \cdot \bar{s}_0$	$I \cdot s_0$
S_0	S_0	S_0	S_1	S_1
S_1	S_3	S_2	S_3	S_2
S_2	S_3	S_3	S_3	S_3
S_3	S_1	S_3	S_1	S_3

Figura 6.1: Tabla de transición de estados.

Estado presente	Próximo estado			
	$\bar{I} \cdot \bar{s}_0$	$\bar{I} \cdot s_0$	$I \cdot \bar{s}_0$	$I \cdot s_0$
S_0	00	00	01	01
S_1	11	10	11	10
S_2	11	11	11	11
S_3	01	11	01	11

Figura 6.2: Tabla de transición de estados.

Finalmente, en las Figuras 6.3 y 6.4 se muestran dos posibles maneras de agrupar los términos del mapa de Karnaugh de la función de entrada al elemento de memoria D_1 . Puede comprobarse que las respuestas A) y B) son ambas correctas.

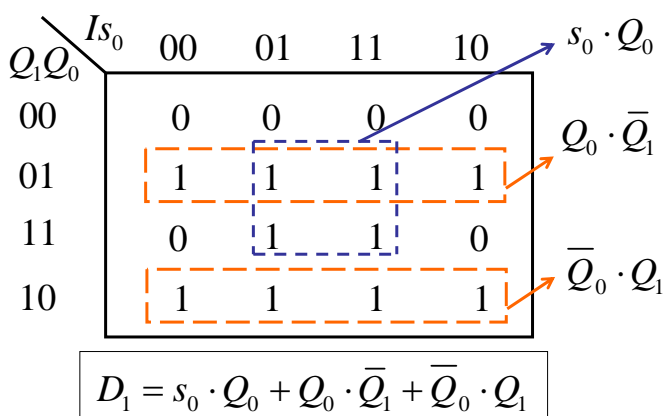


Figura 6.3: Función de entrada al elemento D_1 .

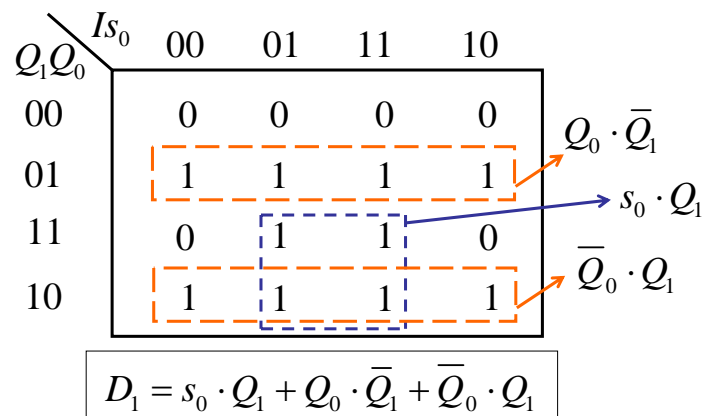


Figura 6.4: Función de entrada al elemento D_1 .

Respuesta: C (Las dos afirmaciones anteriores son correctas)

7. Véase la solución al Problema 4-16 en el libro de problemas. La representación decimal de los números X e Y es 1954 y 7825. La suma de estos dos números, expresada en decimal, es 9779. La representación de un número en el código

exceso a 3 se obtiene sumándole 3 a cada dígito de su correspondiente representación en BCD (vea la tabla mostrada en la solución del Problema 4-16, en el texto de problemas). La representación en exceso a 3 de la suma es 11001010101100.

Respuesta: B (11001010101100)

8. Véase el Apartado 5.5.8 del libro de teoría. Si se analiza el diagrama de transición de estados se puede comprobar que, puesto que hay 4 estados, se necesitan $n=2$ bits para codificar el siguiente estado en la memoria ROM que se emplee para implementar dicho diagrama. La propuesta de memoria ROM de la pregunta indica que se debe usar una ROM con un ancho de palabra de 6 bits, por lo que hay $m=4$ bits para almacenar las señales de control.

Si se observa el diagrama se puede ver que hay cuatro señales de control que se deben generar (c_0, c_1, c_2 y c_3), por lo que la única solución factible para implementar el diagrama de estados es emplear una aproximación basada en selección por estado, con un MUX de 4 entradas en el que se emplee el estado para seleccionar la variable de condición.

Puesto que la ROM tiene 6 bits/palabra y $n=2$, no puede haber más de 4 señales de control (es decir, $m=6-2=4$). En el diagrama se muestran 4 señales de control (c_0, c_1, c_2 y c_3), con lo cual la respuesta B es falsa, ya que introduce otra señal de control (c_4). Dado que la respuesta B es falsa, la respuesta C también lo es.

Por otra parte, si se empleara en la definición de la transición “?” la señal de condición s_2 , habría que considerar dos variables de condición diferentes (s_1 y s_2) para realizar la transición desde el estado S2. La consecuencia de ello sería que no se podría usar la selección por estado con un único MUX, ya que para ello es requisito imprescindible que haya una única variable de condición por estado (vea la solución al Problema 5-22 en el libro de problemas). De esta forma la respuesta A es incorrecta y la solución es la respuesta D.

Respuesta: D (Ninguna de las anteriores es correcta)

Cuestiones teórico-prácticas

Cuestión 1 (0,75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 2 (0,75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Cuestión 3 (0,5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Solución: Esta pregunta ya ha sido contestada a la hora de resolver el test.

Problema

Un computador tiene una memoria principal (Mp) de 64k palabras de 16 bits/palabra con un tiempo de acceso T_a . También tiene una memoria caché (Mc) totalmente asociativa de 4k palabras y 512 palabras por bloque. Considérese que la memoria caché está inicialmente vacía y que, cuando la caché está llena, se reemplaza el bloque que se haya utilizado *menos recientemente*. Supóngase que la UCP ejecuta un bucle 5 veces, en el que accede a 4101 palabras, desde la dirección 0 hasta la dirección 4100. La Mc es 8 veces más veloz que la Mp. Se pide:

- A) (0.25 puntos) Especifique el número de bits de los campos en que se descompone una dirección de Mp de este sistema y calcule cuánto tiempo se tardaría en realizar estos accesos a Mp si este computador no tuviera Mc.
- B) (2 puntos) Realice una tabla con 5 columnas, una columna por cada vez que se ejecuta el bucle, y tantas filas como bloques tenga la Mc. En cada columna ponga el valor de la etiqueta existente en cada bloque de la Mc al finalizar cada uno de los cinco ciclos. Expresar el valor de la etiqueta en hexadecimal.
- C) (0.75 puntos) Calcule cuántos fallos se producen en la Mc. Explique claramente su razonamiento.
- D) (1 punto) Cada vez que se produce un fallo, primero se mueve el bloque completo de Mp a Mc y después se lee el dato de la Mc. Calcule cuánto tiempo tardaría la UCP en realizar estos accesos a memoria.

Solución:

Este problema es similar a los Problemas 2-8, 2-10, 2-11, 2-12 y 2-13 del texto “Problemas de Estructura y Tecnología de Computadores”, 2ª edición. Se recomienda consultar la solución de estos problemas con el fin de facilitar la comprensión de las explicaciones dadas a continuación.

A) La memoria principal tiene un tamaño de 64K palabras por lo que para direccionarla hacen falta un total de 16 bits ($2^{16} = 2^6 \times 2^{10} = 64K$). La memoria caché con 4K palabras es totalmente asociativa con bloques de 512 palabras, lo que hace

un total de 8 bloques. Después de estos sencillos cálculos, ya se puede determinar el tamaño de cada uno de los campos en los que se descompone una dirección de memoria principal:

- Campo *palabra*: 9 bits. Para direccionar las 512 ($= 2^9$) palabras de cada bloque.
- Campo *etiqueta*: 7 bits. Los restantes 7 ($= 16 - 9 - 2$) bits de la dirección forman parte del campo etiqueta.

Al ejecutar el bucle propuesto 5 veces se producen un total de $5 \times 4101 = 20505$ accesos a memoria. Sin M_c todos estos accesos se hacen directamente a la M_p , que tiene un tiempo de acceso T_a . Por lo tanto, el tiempo total en realizar estos accesos si el computador no tuviera M_c sería $20505 \times T_a$. Teniendo en cuenta que $T_a = 8 \times T_c$ (donde T_c es el tiempo de acceso a la memoria caché), se puede calcular el tiempo total de realización como $20505 \times 8 \times T_c = 164040 \times T_c$.

B) Como en la tabla de evolución del contenido de la M_c se pide poner el valor de la etiqueta que al finalizar la ejecución de cada uno de los cinco ciclos, en la Tabla 1 se han calculado dichas etiquetas.

La primera ejecución del ciclo se muestra en la Tabla 2:

- **Primera ejecución del ciclo** (ver Tabla 2). Los bloques se van llenando de uno en uno, hasta llenar la memoria caché. Cuando se accede a la dirección 4096 se vuelve a producir un fallo pero la memoria caché ya está llena. El enunciado propone como técnica de reemplazamiento sustituir el bloque que se haya utilizado menos recientemente, que es el 0.
- **Segunda ejecución del ciclo** (ver Tabla 3). Siguiendo el mismo razonamiento de antes, la Tabla 3 muestra qué va ocurriendo en la caché según se va ejecutando por segunda vez el ciclo. En esta Tabla se puede observar que siempre se producen fallos. Al finalizar el ciclo anterior hubo que sustituir el bloque 0 con etiqueta 0 que es el primero en ser referenciado al comenzar la ejecución de este segundo ciclo. Para resolver este fallo sustituye el contenido del bloque 1 de la caché, que será el siguiente en ser referenciado. Y así sucesivamente con todos.
- **Resto de ciclos.** La situación es parecida a la segunda ejecución del ciclo, produciéndose continuos fallos.

En la Tabla 4 se muestra el valor de la etiqueta existente en cada bloque de la caché al finalizar cada uno de los 5 ciclos.

Rango direcciones (Decimal)	Rango direcciones (Binario)	Rango direcciones (Hexadecimal)	Etiqueta en caché (Binario)	Etiqueta en caché (Hexadecimal)
0 - 511	0000 0000 0000 0000 0000 0001 1111 1111	0000 - 01FF	000 0000	00
512 - 1023	0000 0010 0000 0000 0000 0011 1111 1111	0200 - 03FF	000 0001	01
1024 - 1535	0000 0100 0000 0000 0000 0101 1111 1111	0400 - 05FF	000 0010	02
1536 - 2047	0000 0110 0000 0000 0000 0111 1111 1111	0600 - 07FF	000 0011	03
2048 - 2559	0000 1000 0000 0000 0000 1001 1111 1111	0800 - 09FF	000 0100	04
2560 - 3071	0000 1010 0000 0000 0000 1011 1111 1111	0A00 - 0BFF	000 0101	05
3072 - 3583	0000 1100 0000 0000 0000 1101 1111 1111	0C00 - 0DFF	000 0110	06
3584 - 4095	0000 1110 0000 0000 0000 1111 1111 1111	0E00 - 0FFF	000 0111	07
4096 - 4607	0001 0000 0000 0000 0001 0001 1111 1111	1000 - 11FF	000 1000	08

Tabla 1: Rango de direcciones y etiqueta correspondiente en la caché.

Acceso a dirección	Etiqueta en caché (Hexadecimal)	Comentarios
0	00	Fallo - Etiqueta 00 en el bloque 0
512	01	Fallo - Etiqueta 01 en el bloque 1
1024	02	Fallo - Etiqueta 02 en el bloque 2
1536	03	Fallo - Etiqueta 03 en el bloque 3
2028	04	Fallo - Etiqueta 04 en el bloque 4
2560	05	Fallo - Etiqueta 05 en el bloque 5
3072	06	Fallo - Etiqueta 06 en el bloque 6
3584	07	Fallo - Etiqueta 07 en el bloque 7
4096	08	Fallo - Reemplazar - Etiqueta 08 en el bloque 0

Tabla 2: Primera ejecución del bucle.

Acceso a dirección	Etiqueta en caché (Hexadecimal)	Comentarios
0	00	Fallo - Reemplazar - Etiqueta 00 en el bloque 1
512	01	Fallo - Reemplazar - Etiqueta 01 en el bloque 2
1024	02	Fallo - Reemplazar - Etiqueta 02 en el bloque 3
1536	03	Fallo - Reemplazar - Etiqueta 03 en el bloque 4
2028	04	Fallo - Reemplazar - Etiqueta 04 en el bloque 5
2560	05	Fallo - Reemplazar - Etiqueta 05 en el bloque 6
3072	06	Fallo - Reemplazar - Etiqueta 06 en el bloque 7
3584	07	Fallo - Reemplazar - Etiqueta 07 en el bloque 0
4096	08	Fallo - Reemplazar - Etiqueta 08 en el bloque 1

Tabla 3: Segunda ejecución del bucle.

	Ciclo 1	Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5
Bloque 0	8	7	6	5	4
Bloque 1	1	8	7	6	5
Bloque 2	2	1	8	7	6
Bloque 3	3	2	1	8	7
Bloque 4	4	3	2	1	8
Bloque 5	5	4	3	2	1
Bloque 6	6	5	4	3	2
Bloque 7	7	6	5	4	3

Tabla 4: Etiquetas de cada bloque de la caché al finalizar cada ciclo.

C) Para calcular el número de fallos hay que utilizar los resultados del apartado anterior y, especialmente, la Tabla 4.

- **Primer ciclo:** 9 fallos, uno por cada bloque del ciclo.
- **Resto de ciclos:** 9 fallos, uno por cada bloque del ciclo.

Por tanto, el número total de fallos es: $9 \times 5 = 45$ fallos.

D) El enunciado propone los eventos que ocurren cuando sucede un fallo: “primero se mueve el bloque completo de memoria principal a memoria caché y después se lee el dato de la caché”. Luego para calcular el tiempo que la CPU tarda en hacer todos estos accesos, habrá que tener en cuenta que todos ellos se hacen a la memoria caché y sumarle el tiempo que se emplea en gestionar los fallos.

Tiempo total = Tiempo de acceso a la caché + tiempo de gestión de fallos

Como el tiempo que se tarda en acceder una palabra en la memoria principal es T_a , el tiempo en acceder a una palabra en la memoria caché es $T_a/8$. Entonces nos queda que:

- **Tiempo de acceso a la caché** = número de accesos $\times T_a = 5 \text{ ciclos} \times 4101 \text{ palabras/ciclo} \times (T_a/8)$
- **Tiempo de gestión de fallos** = $512 \text{ palabras/fallo} \times 45 \text{ fallos} \times T_a$

Sumando ambas cantidades, nos queda que la CPU tardaría en ejecutar estos accesos:

$$\text{Tiempo total} = (5 \times 4101 \times (T_a/8)) + (512 \times 45 \times T_a) = 25603,125 T_a$$

MATERIAL PERMITIDO: los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

Apellidos: _____ **Nombre:** _____ **DNI:** _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test : Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.

1.- Un computador tiene una memoria principal de 128 K palabras de 16 bits por palabra y una memoria caché con correspondencia directa de 2 K palabras y 512 palabras por bloque. En un momento determinado comienza a ejecutar 1000 veces un bucle en el que accede a 2200 posiciones de memoria consecutivas. En la novena ejecución del bucle:

I. El número mínimo de fallos posible es 2.

II. El número máximo de fallos posible es 4.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

2.- El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados (S_0, S_1, S_2, S_3) y dos señales de condición (I, s_0). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$.

Estado presente $Q_1 Q_0$	Próximo estado			
	$\bar{I} \bar{s}_0$	$\bar{I} s_0$	$I \bar{s}_0$	$I s_0$
00	00	00	01	01
01	11	10	11	10
10	11	01	11	01
11	11	00	11	00

A la izquierda, se muestra la tabla de transición de estados. Indique si las siguientes afirmaciones, acerca de las funciones de entrada de los elementos de memoria, son verdaderas:

I. $D_0 = Q_1 + I \cdot (\bar{s}_0 + \bar{Q}_0)$

II. $D_1 = \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{s}_0$

- A) I: sí, II: sí. B) I: sí, II: no.
 C) I: no, II: sí. D) I: no, II: no.

3.- Un procesador dispone de ocho líneas de interrupción (numeradas del 0 al 7) y una política en la que las interrupciones con un número bajo tienen mayor prioridad sobre aquellas de número más alto. El procesador comienza sin interrupciones pendientes y se produce la siguiente secuencia de interrupciones: 4, 7, 1, 3, 0, 5, 6, 4, 2, 1. Suponga que la gestión de una interrupción tarda el tiempo suficiente para que se produzcan dos nuevas interrupciones y que **las interrupciones no se pueden interrumpir entre sí.** El orden en que se gestionan las interrupciones es:

A) 4 1 0 3 2 1 4 5 6 7

B) 4 7 1 3 0 5 6 4 2 1

C) 0 1 1 2 3 4 4 5 6 7

D) Todas las afirmaciones anteriores son falsas.

4.- Un computador con una longitud de palabra de 16 bits tiene un bus de direcciones de 24 bits ($A_{23}-A_0$). Se desea diseñar mediante módulos RAM de 2Mpalabras \times 4 bits/palabra su unidad de memoria, con una capacidad de 9 Mpalabras \times 16 bits/palabra. Además se debe reservar el direccionamiento asociado al primer Mpalabras para una ROM de 1Mpalabras \times 16 bits que contendrá el arranque del sistema operativo, mientras que el resto de direcciones se ubicarán de manera consecutiva después de ese primer Mpalabras (hasta los 10 Mpalabras). Indicar cuál de las siguientes afirmaciones es cierta: (Nota: 1Mpalabra= 2^{20} palabras)

I. Una expresión lógica que sirve para detectar direcciones RAM válidas es:

$$\bar{A}_{23} \times (\bar{A}_{22} + \bar{A}_{21} + \bar{A}_{20}) + A_{23} \times \bar{A}_{22} \times \bar{A}_{21}$$

II. Bastan 19 módulos de RAM y 1 módulo de ROM para obtener la capacidad deseada.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

5.- Indique si las siguientes afirmaciones son verdaderas. En un bus con *arbitraje distribuido*:

I. La posición de conexión de los dispositivos a la línea de arbitraje no determina la prioridad de aquellos en el uso del bus.

II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

6.- Un computador usa un formato de microinstrucción mixto, parte horizontal y parte vertical. La parte con formato horizontal de codificación tiene una longitud de k bits y la parte con formato vertical de codificación posee m campos codificados de n bits cada uno. ¿Cuál es el máximo número de señales de control que pueden usarse en este computador?

- A) $k + n \times 2^m$ B) $k + n^m$ C) $k + n \times (2^m - 1)$ D) Ninguna de las anteriores.

7.- Cuántos módulos de memoria ROM de 2^n palabras \times n bits/palabra serán necesarios para diseñar un circuito combinacional que eleve al cuadrado un número X de $2n$ bits

- A) 2^{n+1} B) 2^{n+2} C) 2^n D) Ninguna de las anteriores.

8.- Si al número binario $X = 111010110010$ le aplicamos la siguiente secuencia de operaciones de desplazamiento: 14 operaciones LDCS seguidas de 2 operaciones LICs, ¿cuál es el resultado de la operación?

- A) 101110101100 B) 111010110010 C) 101011001011 D) Ninguno de los anteriores.

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Cierto procesador tiene 32 registros, utiliza operandos inmediatos de 16 bits y tiene 142 instrucciones en su repertorio de instrucciones. En un determinado programa el 20% de las instrucciones tienen un registro de entrada y un registro de salida, el 30% tienen dos registros de entrada y uno de salida, el 25% tiene un registro de entrada, un registro de salida y un operando inmediato y el 25% restante tiene un operando inmediato y un registro de salida

- a) (2 puntos) ¿Cuántos bits se necesitan para cada uno de los cuatro tipos de instrucciones?. Supóngase que se impone que todas las instrucciones tengan una longitud múltiplo de 8 bits.
b) (2 puntos) ¿Cuánta memoria menos ocupa el programa cuando se utiliza una codificación del repertorio de instrucciones de longitud variable que cuando se utiliza una codificación de longitud fija?

Nota: Un repertorio de instrucciones es de longitud fija cuando todas las instrucciones tienen la misma longitud y es de longitud variable si la longitud de las instrucciones no es igual para todas las instrucciones del repertorio.

MATERIAL PERMITIDO: los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. NO SE PERMITEN FOTOCOPIAS.

Apellidos: _____

Nombre: _____

DNI: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja, y **ENTRÉGUELA OBLIGATORIAMENTE** con el resto de hojas de su examen. **Cualquier examen que no venga acompañado de esta hoja de enunciados no será corregido.** Complete **TODOS** los datos que se piden en la hoja de lectura óptica o **en caso contrario su examen no será corregido.** La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos.** El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test : Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es G.

1.- El diagrama de Huffman-Mealy de una unidad de control tiene 4 estados, 3 señales de condición y 5 señales de control. Indique cuál de las siguientes afirmaciones es verdadera. Puede diseñarse dados los componentes siguientes:

- A) Dos elementos de memoria tipo D, tres inversores y el número necesario de puertas AND y OR.
- B) Tres MUX (2^2), una ROM de 2^5 palabras con 13 bits/palabra y un registro de 8 bits.
- C) Las anteriores son correctas.
- D) Ninguna de los anteriores.

2.- Suponga una CPU que dispone de 8 líneas de interrupción PI_i , $i = 1 \dots 8$, con $PI_1 > PI_2 > PI_3 > \dots > PI_8$, que son enmascarables mediante 8 bits del registro de máscara (M_1, M_2, \dots, M_8). Cuando $M_i=1$, la correspondiente señal PI_i está activa y si es un 0 está enmascarada. El bit más significativo del registro de estado RE de la CPU corresponde a la petición de interrupción de mayor prioridad, el siguiente al segundo, ... hasta el menos significativo que corresponde al de menor prioridad. En un momento dado se activan varias peticiones de interrupción simultáneamente. Si el registro de máscara de interrupciones es 7C y el valor del RE es 01010100, ¿cuántos periféricos han solicitado interrupción?

- A) 5
- B) 3
- C) No se puede calcular
- D) Ninguna de las anteriores.

3.- Un disco magnético con 256 pistas, numeradas del 0 al 255, tiene la siguiente cola de peticiones de acceso: 128, 30, 100, 5, 200, 255. Utilizando planificación SSTF, indicar cuál de las siguientes afirmaciones es cierta:

- I. El orden en el que se atienden las solicitudes de acceso si inicialmente la cabeza se halla en la pista 127 es 128, 100, 30, 5, 255, 200.
- II. La LMB asociada es de $62 \cdot 3$.

- A) I: sí, II: sí.
- B) I: sí, II: no.
- C) I: no, II: sí.
- D) I: no, II: no.

4.- Indique si las siguientes afirmaciones son verdaderas:

- I. Una transferencia de datos en un bus que utiliza la técnica de *multiplexación en el tiempo* de direcciones y datos se realiza de la forma siguiente: se coloca la dirección en el Bus de Direcciones y se mantiene mientras el dato se sitúa en el Bus de Datos.
- II. Cuando las salidas de varias puertas triestado se encuentran conectadas a una misma línea de un bus, sólo una de ellas puede estar en estado de alta impedancia.

- A) I: sí, II: sí.
- B) I: sí, II: no.
- C) I: no, II: sí.
- D) I: no, II: no.

5.- Sean dos números de 12 bits representados en código binario: $X = 001110100111$, $Y = 000010010111$. El resto de la división entera X/Y , expresado en código BCD, es:

- A) 000000101001
- B) 001001100111
- C) 010100100110
- D) Ninguno de los anteriores.

6.- Una memoria caché de 1024 palabras por correspondencia asociativa por conjuntos, utiliza bloques de 128 palabras asociados a los 4 conjuntos de que dispone. La memoria principal tiene capacidad para 2^{20} palabras. Decir cuál de las siguientes afirmaciones es cierta:

- I. Las direcciones de memoria principal **1035E** y **02075**, expresadas en hexadecimal, se corresponden con el conjunto 2 de la memoria caché.
- II. La dirección de memoria **43FFA**, expresada en hexadecimal, se corresponde con el bloque 4 del conjunto 3.

- A) I: sí, II: sí.
- B) I: sí, II: no.
- C) I: no, II: sí.
- D) I: no, II: no.

7.- Indique si las siguientes afirmaciones son verdaderas:

- I. En transferencias de datos a través de un bus, si un módulo desea pedir datos a otro módulo primero debe obtener el uso del bus, después transferir una petición al otro módulo por las líneas de control y dirección apropiadas, y finalmente esperar a que el otro módulo le envíe los datos.
- II. En transferencias de datos a través de un bus, si un módulo desea enviar datos a otro módulo primero debe obtener el uso del bus y luego transferir los datos.

- A) I: sí, II: sí.
- B) I: sí, II: no.
- C) I: no, II: sí.
- D) I: no, II: no.

8.- Sea un procesador de 32 bits capaz de ejecutar 4 millones de instrucciones por segundo (4 MIP). El procesador precisa 1,25 μ s (equivalente a la ejecución de 5 instrucciones) para realizar un cambio de contexto y comenzar un programa de servicio de interrupciones (y el mismo tiempo para realizar el cambio de contexto en sentido inverso). En la rutina de tratamiento de interrupción de este periférico se ejecutan 22 instrucciones. A este computador está conectada una impresora que transmite bloques de datos de 1Kbyte con una velocidad de transferencia de 8Kbytes/s. El módulo de entrada/salida interrumpe cada vez que tiene 32 bits para ser transmitidos. ¿Qué tanto por ciento de instrucciones puede dedicar el procesador a otros procesos durante la transferencia de un bloque del periférico?

- A) 95,87% B) 97,25% C) 98,36% D) Ninguna de la anteriores.

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Un programa accede a dos bloques de caché, uno que comienza en la dirección 1000 y otro que comienza en la dirección 2000 (ambas direcciones están expresadas como números hexadecimales). Los accesos a memoria se alternan entre los dos bloques, y cada bloque se accede 100 veces. Si el programa se ejecuta en un sistema con 1 Kbyte de caché con correspondencia directa y bloques de 32 bytes, siendo el tamaño de palabra de 1 byte. Se pide lo siguiente:

- a) (2 puntos) ¿Cuántos fallos de caché ocurrirán?
- b) (1 punto) ¿Cuántos de estos fallos serán forzosos u obligatorios?
- c) (1 punto) ¿Cuántos de estos fallos serán fallos de conflicto o colisiones?

Nota: Los fallos forzosos u obligatorios son fallos de caché causados por la primera referencia a un bloque. Esto origina que se traiga a memoria caché ese bloque por primera vez (también se denominan fallos de arranque en frío). Los fallos por conflictos o colisiones ocurren cuando un programa referencia a bloques de datos que se transforman en el mismo conjunto de la caché, lo que fuerza a la caché a eliminar uno de los bloques para hacer sitio. Si el bloque eliminado es de nuevo referenciado, el fallo resultante se denomina fallo por conflicto o colisión.