

Problemas resueltos de unidades de EIS

Problema 3.1.

Ventajas y desventajas de EIS localizada en memoria y la EIS aislada

- | | | |
|--------------------|---|--|
| EIS locali. en mem | } | - Prog. flexible pq mismas instrucc. que que mem |
| | | - Gasta espacio en mapa memoria |
| | | - No usa líneas de ctrl diferentes |
| | | - Comunicación directa CPU - EIS |
| EIS aislada | } | - Gasta más bytes para codificar las instrucciones |
| | | - Instruc. especiales |
| | | - Mapa independiente con la mem. |
| | | - líneas ctrl diferentes con la mem |

Problema 3.2

En un sistema sin interrupciones hardware cómo se puede establecer un esquema de prioridades?

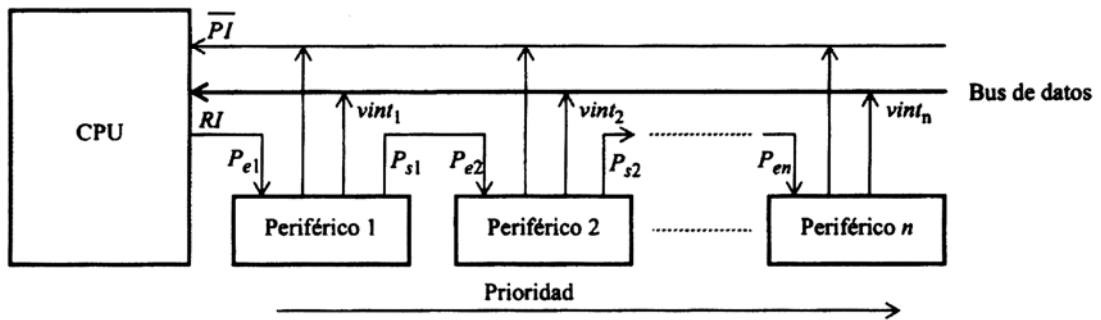
- Si no hay un método de IRQ hardware hay que establecer un sondeo por programa preguntando a todos los periféricos si quieren realizar la interrupción. El sistema de prioridades se establecería en función del orden en que se establezca la encuesta.

Problema 3.3

En las interrupciones encadenadas, tras una petición de IRQ el periférico sitúa el vector interrupción sobre el bus de datos pq es más sencillo de tratar y pq en ocasiones dicho vector ha de ser modificado mediante operaciones aritméticas, lo que implica que ha de ser tratado como un dato.

Problema 3.4

¿Qué sucede en el sistema de IRQs encadenadas cuando el periférico 1 solicita IRQ después que perif. 2 haya enviado petición a la CPU pero antes de que ésta responda?



Perif 2 genera petición de interrupción (\overline{PI}) y espera que se propague RI, pero si antes de recibir RI (P_{e2}) se activa perif_i, perif 1 se queda con RI y no la propaga a perif 2. Tomando el bus \Rightarrow

periférico i mayor prioridad que perif i+n

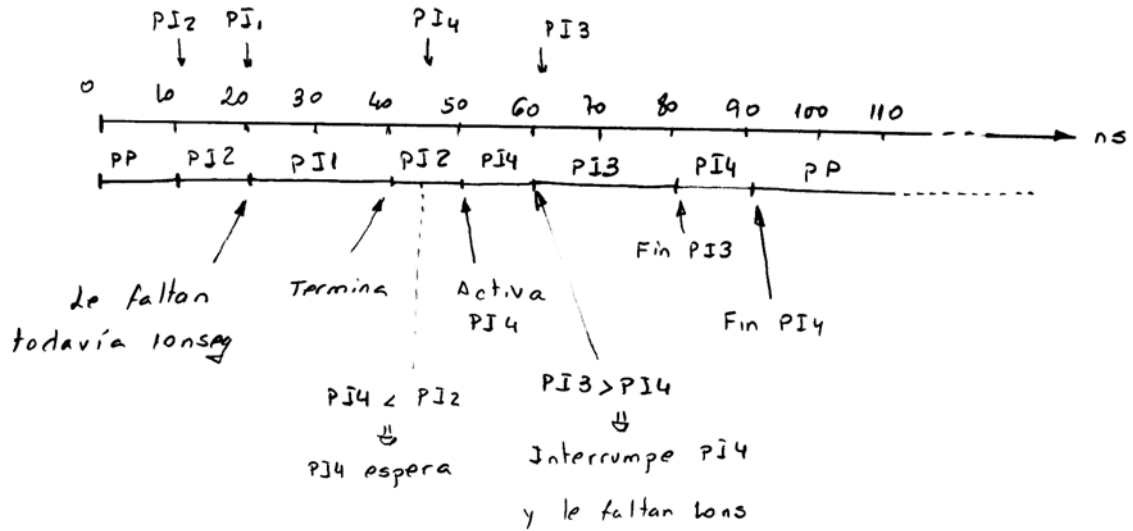
Problema 3.5

Según petición de interrupciones:

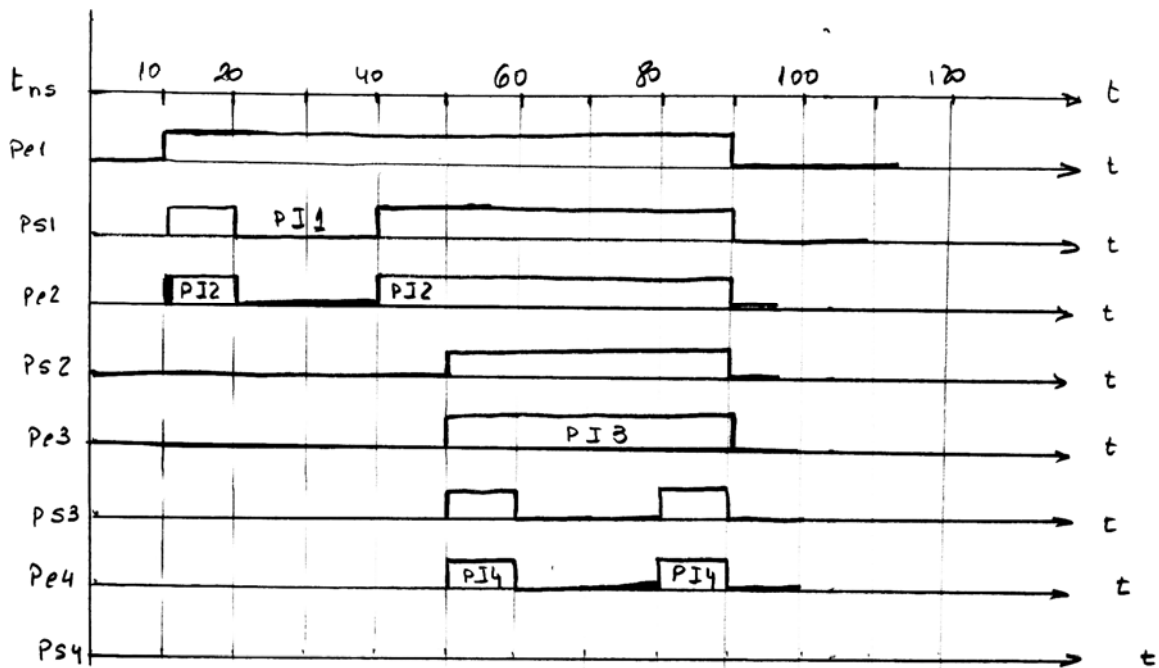
Tiempo :	0 ns	10 ns	20 ns	45 ns	60 ns
Acción :	Inicio PP	PJ ₂	PJ ₃	PJ ₄	PJ ₃

- Programa de servicio de IRQ durante 0-100 ns
- Cronograma de valores de P_{ei} y P_{si}
- * Encadenamiento y 4 periféricos. Las IRQ tienen sistema de interrupción de IRQs cuando se produce una de más prioridad.
- * Programa de servicio de todas IRQs = 20 ns.
- * Prioridad mayor las PJ_i con i menores

- P_e P_s
 0 0 \rightarrow No solicita ni transmite RI
 0 1 \rightarrow No valido
 1 0 \rightarrow Interrumpe CPU y no transmite RI
 1 1 \rightarrow Prioridad para interrumpir, pero no lo hace



Cronograma P_{ei} y P_{si}



Problema 3.6

Tabla de la verdad de un codificador de prioridad 8x3.
 Con las salidas abc se suministra el vector interrupción:

110 a b c 00 - Patilla A = validación codifi-
 " " interrup

I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	A	vector interrup	Hex
x	x	x	x	x	x	x	x	0	---	
1	x	x	x	x	x	x	x	1	000	C0
0	1	x	x	x	x	x	x	1	001	C4
0	0	1	x	x	x	x	x	1	010	C8
0	0	0	1	x	x	x	x	1	011	CC
0	0	0	0	1	x	x	x	1	100	D0
0	0	0	0	0	1	x	x	1	101	D4
0	0	0	0	0	0	1	x	1	110	D8
0	0	0	0	0	0	0	1	1	111	DC

Problema 3.9

Un computador con 3 líneas petición interrupción $INTR_i$ y 3 de reconocimiento $INTA_i$. Con sistema de prioridades. La CPU una sola línea de petición y una de reconocimiento.

- Tabla de la verdad del gestor de IRQs.
- Circuitaria del " " " " .

Esquema de bloques

Mayor prior → $INTR_1$

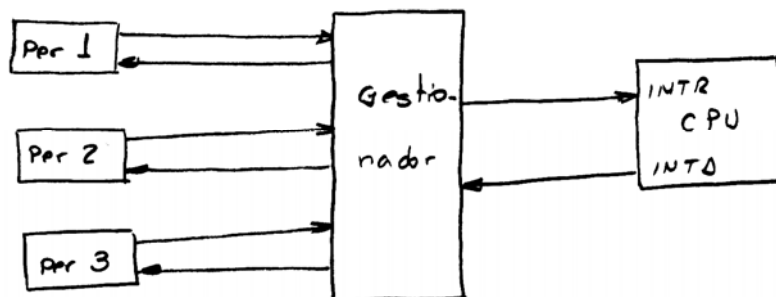
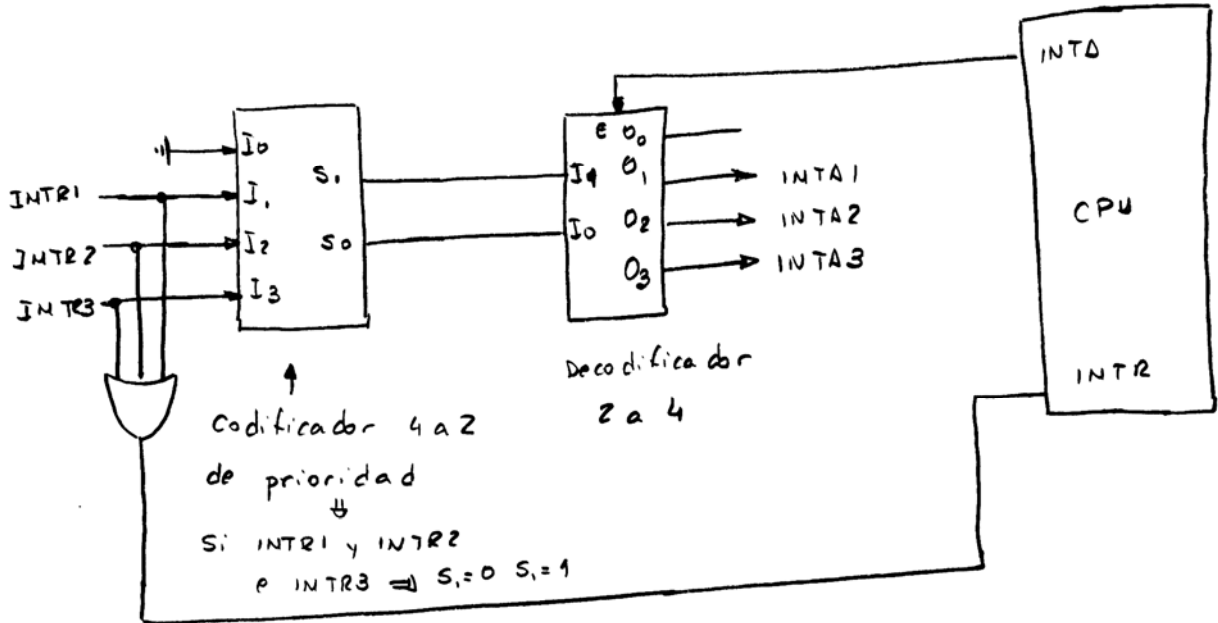


Tabla verdad

INTA	JNTR1	JNTR2	JNTR3	INTA1	INTA2	INTA3
0	x	x	x	0	0	0
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	x	0	1	0
1	1	x	x	1	0	0



Cuando se produce cualquier JNTR_i con la puerta "OR" se activa la INTR de la CPU, cuando esta dispuesta a reconocer la interrupción activa la INTA que habilita el decodificador 2 a 4 que activa la INTA correspondiente a la JNTR_i que ha solicitado la interrupción.

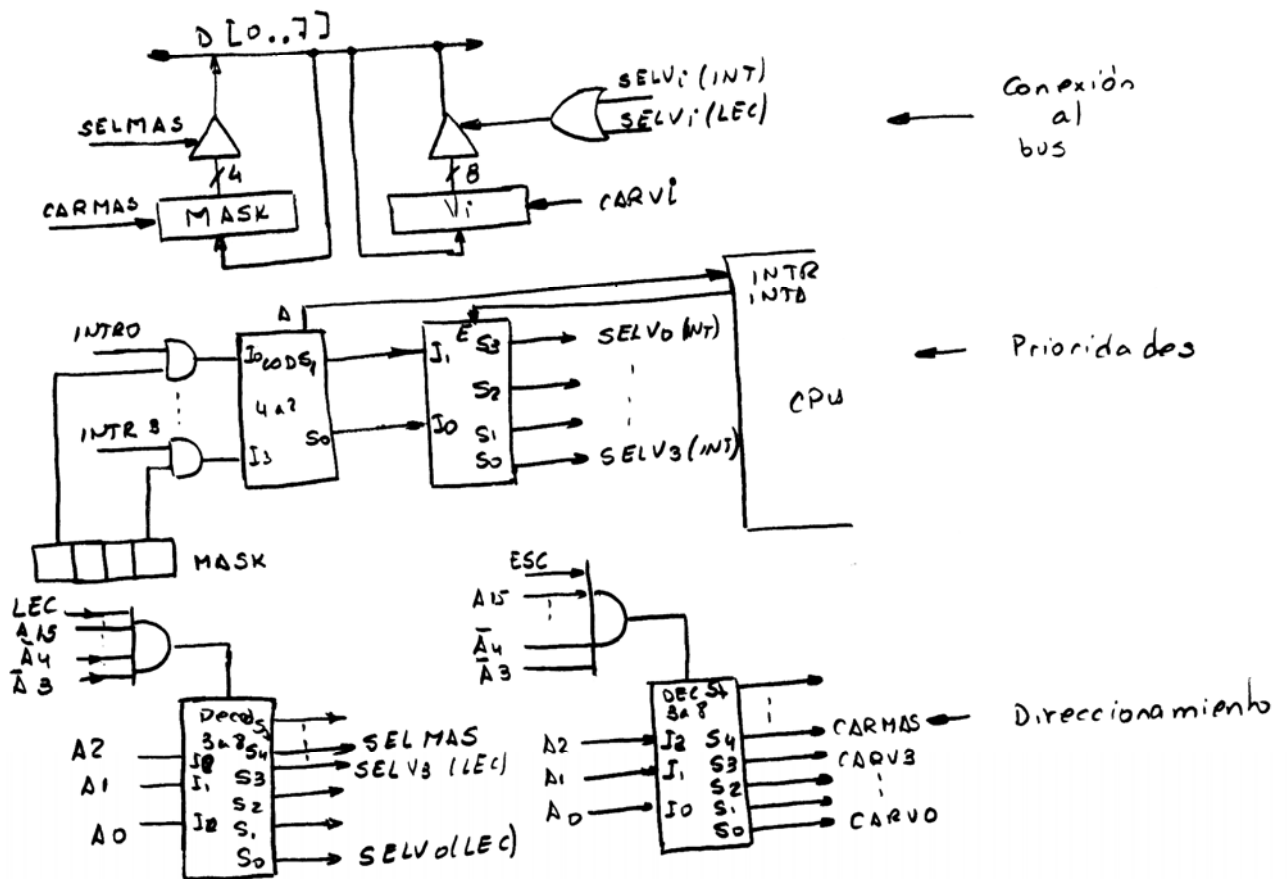
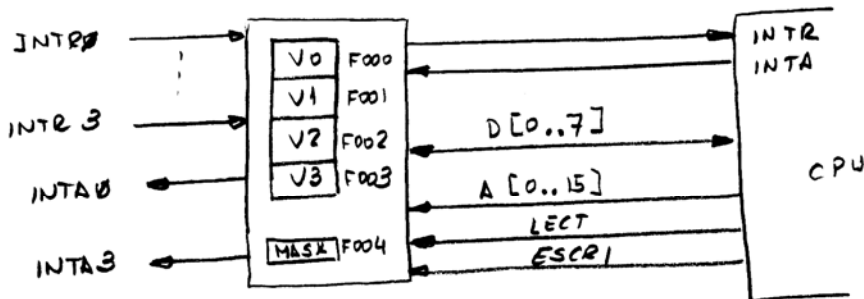
Problema 3.11

Microcomputador con

- 8 bits bus datos
- 16 " " direcciones
- 1 INTR
- 1 INTA

Diseñar el controlador de interrupciones con 4 niveles

- los registros con los vectores pueden leerse y escribirse desde la CPU y ocupan F000H ÷ F003H
- Reg. máscaras es F004H



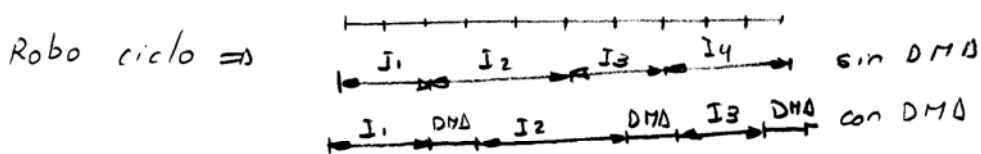
Problema 3.14

¿Pq los controladores DMA mayor prioridad que los accesos a mem. principal?

Pq la transferencia es rápida y es posible que los datos sean necesitados por la CPU

Problema 3.15

Un controlador DMA transmite mediante robo de ciclo, caract. a memoria a una velocidad de 19200 bps. CPU realiza búsqueda de operaciones a 3 MIP (millones Instrucciones por segundo). ¿Porcentaje de reducción de velocidad debido a la DMA?



$$19200 \text{ bps} \Rightarrow \frac{19200}{M} \text{ palabras/seg} \Rightarrow \text{instrucciones por segundo que no ejecuta}$$

$$\% = \frac{\text{Reducción n}^\circ \text{ instruc}}{\text{Instruc. sin DMA}} \times 100 =$$

$N =$ n.º medio de ciclos en ejecutar una instrucción
 \Downarrow
1 segundo $\Rightarrow 2 \cdot 10^6 \cdot N$ ciclos de reloj sin DMA

$$2 \cdot 10^6 \cdot N \rightarrow 1 \text{ seg} \quad (\text{sin DMA})$$
$$2 \cdot 10^6 N + \frac{19200}{M} \rightarrow x \quad (\text{con DMA})$$
$$\Rightarrow x = \frac{2 \cdot 10^6 \cdot N + \frac{19200}{M}}{2 \cdot 10^6 \cdot N} = 1 + \frac{19200}{2 \cdot 10^6 \cdot N \cdot M}$$

$$\% = \frac{19200}{2 \cdot 10^6 N M} \times 100 = \frac{0,96}{N \cdot M} \%$$

Problema 3.16

Un computador funciona a 10^7 ciclos/seg. Una instrucción 4 ciclos y cada lectura o escritura 1 ciclo máquina. Determinar la máxima velocidad (pal/seg) suponiendo que:

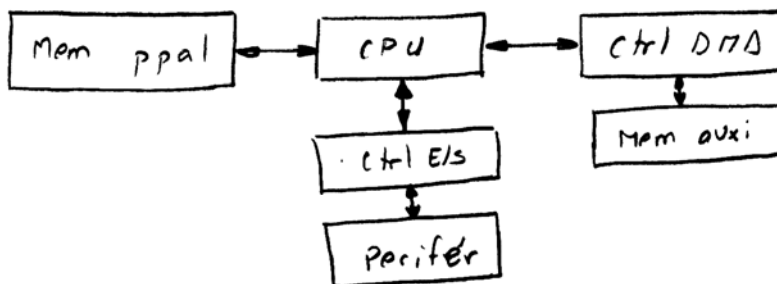
- A) EIS controlada por programa y se emplean 3 instrucciones en transferir cada palabra.

$$\begin{aligned} \text{Una palabra} &\Rightarrow 3 \text{ instr} \Rightarrow 4 \text{ ciclo/ins} \Rightarrow 12 \text{ ciclos} \Rightarrow a 10^7 \text{ ciclo/seg} \Rightarrow \\ &\Rightarrow \frac{1}{10^7} = 0,1 \mu\text{seg} \Rightarrow 1,2 \mu\text{seg/palabra} \Rightarrow 833,333 \text{ pal/seg} \end{aligned}$$

- B) Un sistema DMA.

El más rápido es el de ráfagas; que se apodera del bus hasta termino transmisión $\Rightarrow 10^7$ pal/seg

Problema 3.17



A) ¿Puede la mem. aux. transferir datos a mem. ppal al mismo tiempo que lee datos de esa misma mem?

B) ¿Puede la CPU recibir datos de la EIS cuando la mem. aux. recibe datos de la mem. ppal?

C) ¿Puede la EIS mandar datos a mem. ppal. mientras CPU ejecuta operación aritmética?

NO pq para toda transferencia interviene la CPU

Problema 3.18

¿En el esquema del 3.17 que módulo comienza una operación DMA?

La CPU enviando a la DMA

- dirección origen
- .. destino
- tamaño bloque

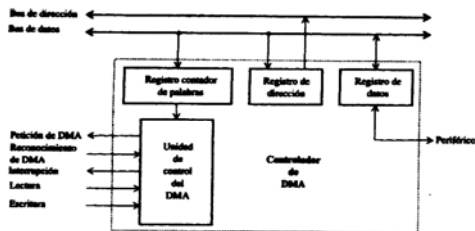
Problema 3.22

Se desean transferir 512 palabras de disco a memoria desde la dirección 2460, utilizando DMA.

- a) Valores que debe dar la CPU al DMA
- b) Acciones para transferir las dos primeras palabras.

- a) 1.- Que la operación es lectura
2.- La dirección del disco
3.- La dirección 2460 al reg. dirección de la DMA
4.- 512 palabras al contador de palabras

- b) 1.- Si controlador preparado activa "Petición DMA"
2.- CPU activa "Reconocimiento DMA"
3.- Ctrl DMA transfiere una palabra
4.- " " incrementa Reg. dirección y decre-
menta Reg. contador de palabras
5.- si: Reg. cont. palabras = 0 ⇒ FIN



6.- a) Transf. rátagas ⇒ pase a 3

b) " robo ciclos ⇒ " " 2

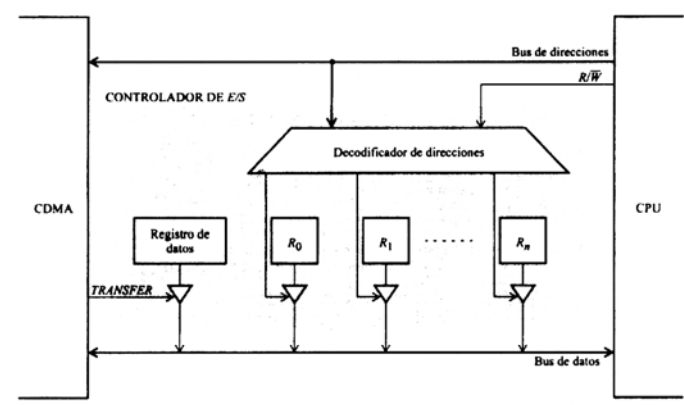
Problema 3.23

Un controlador E/S controla un periférico para transferencia DMO con E/S localizada en mem. El sistema tiene línea R/W.

El controlador E/S, tiene capacidad para colocar datos directamente en el bus, debe enviar datos hacia el bus en:

- a) cuando CPU realiza operación de lectura de uno de los reg. internos
- b) " el ctrl DMA ordena la ejecución de una transferencia del periférico a la mem.

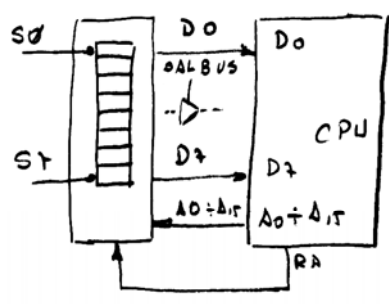
Diseñar circuito de ctrl de las puertas triestado que comunican el bus con el ctrl E/S.



Problema 3.24

Una planta industrial usa 8 sensores. Diseñar el interface para poder leerse su estado desde la CPU como el contenido de la dir.:

- a) F004H
- b) Una cualquiera entre A000H y BFFFH



$$\begin{array}{cccccccccccccccc}
 & A_{15} & A_{14} & A_{13} & A_{12} & A_{11} & A_{10} & A_9 & A_8 & A_7 & A_6 & A_5 & A_4 & A_3 & A_2 & A_1 & A_0 \\
 F004 & \Rightarrow & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\
 SALBUS & = & \bar{A}_{15} & \bar{A}_{14} & \bar{A}_{13} & \bar{A}_{12} & \bar{A}_{11} & \bar{A}_{10} & \bar{A}_9 & \bar{A}_8 & \bar{A}_7 & \bar{A}_6 & \bar{A}_5 & \bar{A}_4 & \bar{A}_3 & \bar{A}_2 & \bar{A}_1 & \bar{A}_0 \cdot R_1 \\
 \\
 b) & A000 & \Rightarrow & 1 & 0 & 1 & 0 & . & 0 & 0 & 0 & 0 & . & 0 & 0 & 0 & 0 & 0 & 0 \\
 & BFFF & \Rightarrow & 1 & 0 & 1 & 1 & . & 1 & 1 & 1 & 1 & . & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\
 & & & \downarrow & \downarrow & \downarrow & & & & & & & & & & & & & & & \\
 & & & 1 & 0 & 1 & x & . & x & x & x & x & . & x & x & x & x & . & x & x & x & x & .
 \end{array}$$

$$SALBUS = A_{15} \cdot \bar{A}_{14} \cdot A_{13} \cdot R_0$$

Problema 3.25

Un computador de 32 bits dispone de dos canales selectores y un canal multiplexor.

Canal selector controla $\left\{ \begin{array}{l} 2 \text{ unidades disco} \\ 2 \text{ " cinta} \end{array} \right.$

" multiplexor $\left\{ \begin{array}{l} 2 \text{ lectoras de tarjetas} \\ 10 \text{ pantallas} \\ 2 \text{ impresoras} \end{array} \right.$

Vel. transferencia $\left\{ \begin{array}{l} - \text{ Disco} \rightarrow 800 \text{ KB/seg} \\ - \text{ Cinta} \rightarrow 200 \text{ KB/seg} \\ - \text{ Impres} \rightarrow 8 \text{ KB/seg} \\ - \text{ Lect. tarj} \rightarrow 1,5 \text{ KB/seg} \\ - \text{ Pantalla} \rightarrow 1 \text{ KB/seg} \end{array} \right.$

¿Velocidad de transferencia MAXIMA del sistema?

Consideraciones $\left\{ \begin{array}{l} \text{C. selector} \rightarrow \text{selecciona 1 canal y realiza envío} \\ \text{Val. máx.} = \text{vel. dispos. más rápido} \\ \text{C. mux} \rightarrow \text{reparte la conexión entre todos} \end{array} \right.$

Vel. canal selector $\Rightarrow 2 \times 800 = 1600 \text{ KB/seg}$

" " mux $\Rightarrow 2 \times 8 + 2 \times 1,5 + 10 \times 1 = 29 \text{ KB/seg}$

vel. total = $1600 + 29 = 1629 \text{ KB/seg}$