

Exámenes de "Unidad de EIS"

Problemas

Septiembre - 99

Problema 3.13 del libro de problemas

Junio 2001 - 2º S

Problema 3.13 del libro de problemas pero con 8 interrupciones

Preguntas de test

Junio 2002 - 2º S - 7º

Computador con EIS por programa, el dispositivo tarda 6 mseg en tener el dato.

Suponiendo

- PC solo atiende EIS
- Bucla espera → única instrucción
- Lectura de un dato y solicitud del siguiente lo instr
- 200 μseg / instrucción

¿% del tiempo dedica la CPU a la espera?

Desde que CPU pide el dato hasta que disponible 6 mseg

⇓
en 6 mseg ⇒ $\frac{6 \text{ mseg}}{200 \mu\text{seg}} = 30$ veces la instrucción pregunta

10 instr. leer dato y pedir siguiente

⇓
Desde que pide hasta que dispone 40 instru

⇓
 $\frac{30}{40} \times 100 = 75\%$ del tiempo esperando ⇒ C

E.E.S.1

Junio 2002 - 1^{er} S - 5^{er}

¿Qué afirmación es falsa?

Las opciones a, b y c son ciertas \Rightarrow d = falsa

Septiembre 2001 - 1^{er}

En un sistema cuando la CPU dispone en exclusiva del bus las instrucciones emplean 3 ciclos de reloj, aunque en el 2^o no se usa el bus. Si el controlador DMA usa 2 ciclos de reloj consecutivos:

- I) se puede implantar la estrategia DMA por ráfagas
- II) " " " " " transparente

Por ráfagas sí pq interrumpe a la CPU y transmite los datos; la transparente NO pq solo dispone de un ciclo y necesita 2. \Rightarrow B

Septiembre 2001 - 8^{er}

Un computador con canal multiplexor \Rightarrow $\left. \begin{array}{l} 5 \text{ discos} \Rightarrow 6 \cdot 10^6 \text{ by/seg} \\ 5 \text{ cintas} \Rightarrow 5 \cdot 10^5 \text{ by/seg} \end{array} \right\}$

Canal mux usa bus sistema 50 nseg en el envío.

¿Max. velocidad transfer. del sistema?

Vel. máx. perifer $\Rightarrow 5 \cdot 6 \cdot 10^6 + 5 \cdot 5 \cdot 10^5 = 305 \cdot 10^5 \text{ by/seg}$

" " bus $\Rightarrow \frac{1}{50 \cdot 10^{-9}} = 200 \cdot 10^5 \Rightarrow$ \downarrow
Max velocidad
 \Downarrow
 $200 \cdot 10^5 \text{ byt/seg}$
 \Downarrow
C

E.E.S.2

Junio 2001 - 2^{es} S - 3^a

I) Los computadores con PEIS las instrucciones se almacenan en la mem. ppal y se ejecutan por la CPU

⇓
Falso

II) El PEIS inicia la transferencia de EIS al dar la orden a la CPU para que ejecute el programa con instrucciones de EIS almacenadas en memoria

⇓
Falso ⇒ D

Las instrucciones se almacenan en mem. ppal pero las ejecutan el PEIS

Junio 2001 - 1^{er} S - 5^a

Sistema { 2 discos duros
EIS { 1 impresora
 { 1 CDROM

Prioridades

P1

Respuesta intr.

10 u.t.

P3

15 u.t.

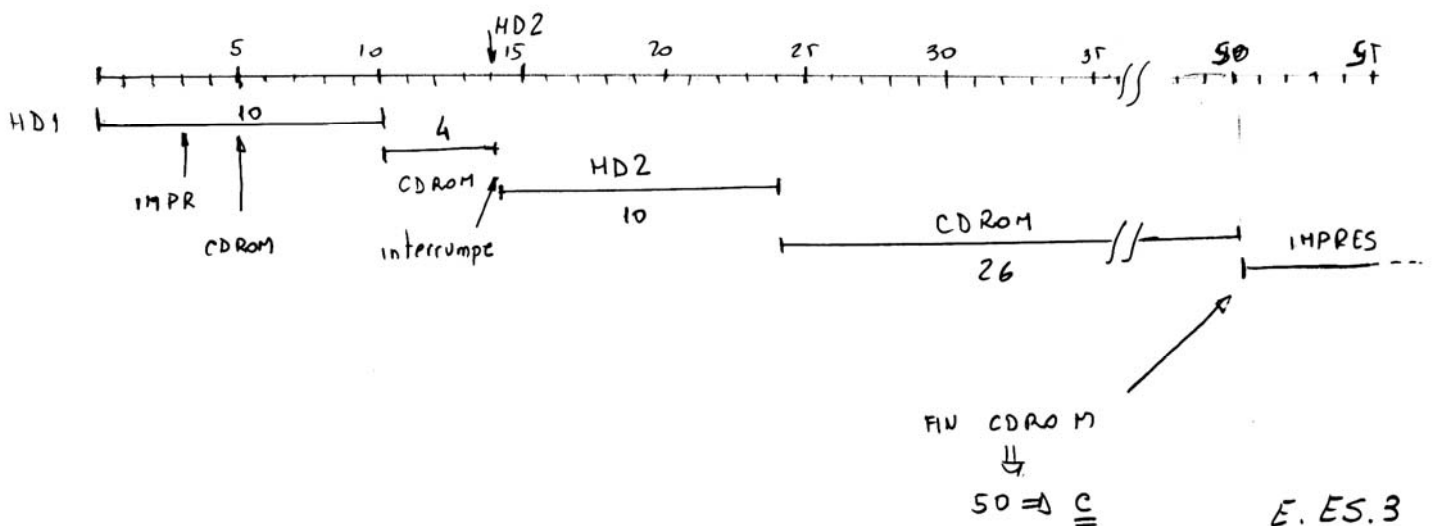
P2

30 u.t.

Interrumpi. anidables

En $t=0$ pide 1^{er} disco duro
" $t=3$ " impresora
" $t=5$ " CDROM
" $t=14$ " 2^o disco duro

} ¿ En qué instante termina el CDROM?



E. ES. 3

Junio 2001 - 1^o S. 7

I) El ctrl de DMA necesita tener el ctrl del bus para transmitir datos a la memoria \Rightarrow cierto

II) En la trans. por ráfagas es la ideal para eliminar la interferencia entre DMA y CPU.

\Downarrow
Falso, pq interrumpe a la CPU

\Downarrow
B

Septiembre 2000 - 3^o

Un controlador DMA usa estrategia transparente.

CPU \rightarrow instrucción usa 4 ciclos $\left\{ \begin{array}{l} 2 - \text{usa bus} \\ 2 - \text{consecutivos no use bus} \end{array} \right.$

DMA \rightarrow 2 ciclos en transmitir palabras

Frec. reloj computador = $200 \cdot 10^6$ cic/seg.

¿Tiempo de la DMA para transmitir $100 \cdot 10^6$ palabras?

Transmitir 1 palabra \Rightarrow 2 ciclos de reloj

\Downarrow

Se sacan de cada instrucción

\Downarrow

Hacen falta $100 \cdot 10^6$ instrucciones

\Downarrow

4 ciclos por instrucción

\Downarrow

$4 \cdot 100 \cdot 10^6 = 400 \cdot 10^6$ ciclos

$$\text{tiempo} = \frac{400 \cdot 10^6 \text{ ciclos}}{200 \cdot 10^6 \text{ cic/seg}} = 2 \text{ seg} \Rightarrow \underline{\underline{B}}$$

Junio 2000 - 2^o S - 5

Un computador tiene canal multiplexor con:

canal mux $\left\{ \begin{array}{l} 5 \text{ discos} \rightarrow 10^6 \text{ bytes/seg} \\ 10 \text{ cintas} \rightarrow 2 \cdot 10^5 \text{ bytes/seg} \end{array} \right.$

Para transferencia de un byte 200 nseg ocupa. bus.

¿velocidad máxima de transferencia?

$\left\{ \begin{array}{l} 5 \text{ discos} \Rightarrow 5 \cdot 10^6 \text{ byt/seg} \\ 10 \text{ cintas} \Rightarrow 10 \cdot 2 \cdot 10^5 \text{ " "} \end{array} \right. \left. \begin{array}{l} \text{Total} = 5 \cdot 10^6 + 2 \cdot 10^6 = 7 \cdot 10^6 \text{ bytes} \end{array} \right.$

Según el bus $\Rightarrow 200 \text{ nseg/byte} \Rightarrow \frac{1}{200 \cdot 10^{-9}} = 5 \cdot 10^6 \text{ byt/seg}$

El menor
 $5 \cdot 10^6 \text{ byt/seg}$

\Downarrow

B

Junio 2000 - 1^o S - 1^a

Computador con canal mux:

$\left\{ \begin{array}{l} 5 \text{ discos} \rightarrow 10^6 \text{ bytes/seg} \\ 10 \text{ cintas} \rightarrow 2 \cdot 10^5 \text{ bytes/seg} \end{array} \right.$

Transferencia ocupa el bus 200 nseg/byte

¿% máximo de tiempo que estaría ocupado el bus en la transferencia?

$\left\{ \begin{array}{l} 5 \text{ discos} \Rightarrow 5 \cdot 10^6 \text{ byt/seg} \\ 10 \text{ cintas} \Rightarrow 10 \cdot 2 \cdot 10^5 \text{ byt/seg} \end{array} \right. \left. \begin{array}{l} \text{Total} = 5 \cdot 10^6 + 10 \cdot 2 \cdot 10^5 = 7 \cdot 10^6 \text{ byt/seg} \end{array} \right.$

Tiempo ocupación $\Rightarrow 7 \cdot 10^6 \cdot 200 \cdot 10^{-9} = 1,4 \text{ segundos}$

\Downarrow
tiempo ocupación = 100% no el 140%

No produciría transferencia de $7 \cdot 10^6 \text{ byt/seg}$

\Downarrow
D

E. ES.5

Exámenes de Estructuras de Interconexión de un computador

Septiembre-2007 - 8 Test (lección 3^a)

Un computador con canal multiplexor para 5 discos y 5 cintas. Los discos velocidad transferencia $6 \cdot 10^6$ bytes/seg y las cintas 10^5 bytes/seg. La transferencia de un byte del canal mux a mem. se usa el bus 50 nseg. ¿Cuál es la velocidad máxima de transferencia.

- La máx. veloc. transferencia del canal mux

$$5 \cdot 6 \cdot 10^6 + 5 \cdot 10^5 = (5 \cdot 60 + 5) \cdot 10^5 = 305 \cdot 10^5 \text{ bytes/seg}$$

- Un tiempo de uso del bus de 50 nseg implica

$$\frac{1}{50 \cdot 10^{-9}} = 2 \cdot 10^7 \text{ bytes/seg}$$

La velocidad máxima es la menor de las dos \Rightarrow $2 \cdot 10^7$ bytes/seg

Jun 2000 - 2^o S - 5 Test

(Lección 3^a)

Computador canal mux $\left\{ \begin{array}{l} 5 \text{ discos} \Rightarrow 10^6 \text{ bytes/seg} \\ 10 \text{ cintas} \Rightarrow 2 \cdot 10^5 \text{ bytes/seg} \end{array} \right.$

Ocupación bus por byte transferido 200 nseg

¿Velocidad máxima transferencia?

$$\text{Canal mux} \Rightarrow 5 \cdot 10^6 + 10 \cdot 2 \cdot 10^5 = 7 \cdot 10^6 \text{ bytes/seg}$$

$$\text{Bus} \Rightarrow \frac{1}{200 \cdot 10^{-9}} = 5 \cdot 10^6 \text{ bytes/seg}$$

∴

$$\text{Veloc. máxima} = 5 \cdot 10^6 \text{ bytes/seg}$$

Junio 2000 - 1^o S - 1 Test + 2 Teórico-Práctico

(Lección 3^a)

Computador canal mux $\left\{ \begin{array}{l} 5 \text{ discos} \Rightarrow 10^6 \text{ bytes/seg} \\ 10 \text{ cintas} \Rightarrow 2 \cdot 10^5 \text{ bytes/seg} \end{array} \right.$

Ocupación bus por byte transferido 200 nseg

¿% máximo de tiempo de ocupación del bus?

$$\text{Canal mux} \Rightarrow 5 \cdot 10^6 + 10 \cdot 2 \cdot 10^5 = 7 \cdot 10^6 \text{ bytes/seg}$$

$$\text{Bus} \Rightarrow \frac{1}{200 \cdot 10^{-9}} = 5 \cdot 10^6 \text{ bytes/seg}$$

∴

El cuello de botella es el bus \Rightarrow el bus ocupado al

100%

Junio 2003

2.- Un computador dispone de una unidad de disco con una velocidad de lectura de 2^{21} palabras por segundo y con un buffer interno de 2^{20} palabras que cuando se llena transfiere su contenido a la memoria principal utilizando DMA por ráfagas. El controlador de DMA tarda 4 ciclos de reloj en transmitir cada palabra. Cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 8 ciclos de reloj en ser ejecutadas. Si la frecuencia de reloj del computador son 500×10^6 ciclos/s, en una operación de lectura del disco. ¿Cuántas instrucciones por segundo dejan de ser ejecutadas por la UCP?

- A) 2^{21} B) 2^{23} C) Ninguna D) Ninguna de las anteriores

Solución:

- Cuando no existe comunicación con DMA el número de instrucciones por segundo es:

$$\text{Instrucciones / segundo} = \frac{\text{ciclos / segundo}}{\text{ciclos / instrucción}} = \frac{500 \times 10^6}{8} = 62500000 \text{instr / seg}$$

- Cuando existe comunicación con DMA:

Se tarda en llenar el buffer:

$$\text{tiempo_en_llenar_el_buffer} = \frac{\text{capacidad_buffer}}{\text{velocidad_lectura_disco}} = \frac{2^{20}}{2^{21}} = 0,5 \text{segundos}$$

$$\text{ciclos_transmitiendo_el_buffer} = 2^{20} \times 4 \text{ ciclos_palabra} = 2^{22} \text{ ciclos_reloj}$$

$$\text{tiempo_transmitiendo_el_buffer} = \frac{2^{22}}{500 \times 10^6} = 8,388608 \text{mseg}$$

$$\text{instrucciones_Sin_DMA_en_0,5_seg} = \frac{500 \times 10^6}{2 \times 8} = 31250000 \text{instrucciones}$$

$$\text{con_DMA en ejecutar } 31250000 \text{ instrucciones } 0,5 \text{ seg} + 8,388608 \text{ mseg} = 0,508388608 \text{ segundos}$$

$$\begin{array}{l} 31250000 \text{ instrucciones} \text{ ----- } 0,508388608 \text{ segundos} \\ x \quad \text{instrucciones} \text{ ----- } 1 \text{ segundo} \end{array}$$

$$x = \frac{31250000}{0,508388608} = 61468726 \text{instrucciones}$$

$$\text{Dejan de ejecutarse :} = 62500000 - 61468726 = 1031274 \text{ instrucciones}$$

Solución la D) Ninguna de las anteriores

5.- La memoria de un computador consta de 4 módulos conectados a un bus de memoria común. Cuando se realiza una petición de escritura, el bus esta ocupado por las señales de datos, dirección y control durante 50 ns. En esos mismos 50 ns y en los 200 ns siguientes, el módulo de memoria direccionado ejecuta 1 ciclo aceptando y almacenando el dato. Las operaciones de los módulos pueden solaparse, pero solo puede haber una petición por instante de tiempo. Si t_c representa el tiempo de ciclo de escritura, indique cual es la velocidad máxima de escritura:

- A) $1/t_c$ B) $4/t_c$ C) 2×10^7 palabras/s D) Ninguna de las anteriores

Solución:

Módulo 1	50 nseg	200nseg				50 nseg	
Módulo 2	50 nseg	200nseg				50 nseg	
Módulo 3		50 nseg	200nseg				50 nseg
Módulo 4			50 nseg	200nseg			
					Espera		

En escribir 4 palabras tarda 250 nseg.

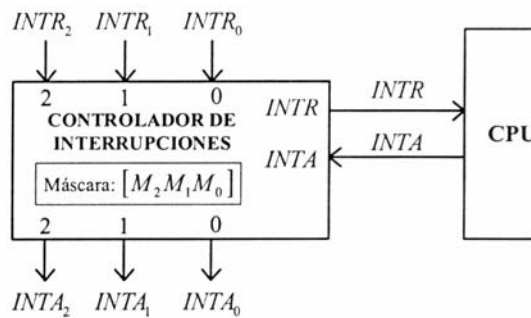
Si t_c es 250 nseg la máxima velocidad de escritura será $4/t_c$.

Solución la B)

Problema:

Una CPU dispone de una única línea de petición de interrupción (*INTR*) y de una única línea de aceptación de interrupción. Diseñe para esa CPU un controlador de interrupciones, de manera que se puedan atender interrupciones generadas por 3 dispositivos externos mediante líneas de petición de interrupción (ver la Figura adjunta). Cuando se reciben peticiones de interrupción simultáneas, solo se reconoce la más prioritaria. La máxima prioridad la tiene *INTR₀* y la mínima *INTR₂*. Además, cada una de estas líneas de interrupción se ha de poder enmascarar de manera individual mediante un registro de máscara (*M₂M₁M₀*) del controlador de interrupciones (el mecanismo de acceso de la CPU a este registro no es relevante para este problema). Cuando $M_j = 0$, la correspondiente señal *INTR_j* está enmascarada y no debe ser atendida. Cuando la CPU activa su línea de aceptación, *INTA*, se debe informar al periférico correspondiente, de manera individual, que su petición ha sido aceptada, mediante las líneas de aceptación *INTA₂ ... INTA₀*.

- a) (1 punto) Obtenga la tabla de la verdad del controlador de interrupciones.
- b) (1 punto) Obtenga la función lógica de las tres líneas *INTA₂*, *INTA₁*, *INTA₀* en función de las líneas *INTR₀*, *INTR₁*, *INTR₂*, *INTA* y de los bits del registro de máscara.
- c) (1 punto) Diseñe el circuito lógico del controlador de interrupciones, usando para ello puertas AND, OR y NOT.
- d) (1 punto) Explique razonadamente como podrían conectarse varios controladores de interrupciones de 3 entradas, como el diseñado en el apartado anterior, para poder atender las peticiones de interrupción de 6 periféricos externos.



Solución:

Tabla de la verdad										
Entradas							Salidas			
INTA	INTR2	INTR1	INTR0	M2	M1	M0	INTA2	INTA1	INTA0	INTR
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	1	0	0	0	0	0
0	0	0	0	0	1	1	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0
0	0	0	0	1	0	1	0	0	0	0
0	0	0	0	1	1	0	0	0	0	0
0	0	0	0	1	1	1	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	0	0	0
0	0	0	1	0	1	1	0	0	0	1
0	0	0	1	1	0	0	0	0	0	0
0	0	0	1	1	0	1	0	0	0	1
0	0	0	1	1	1	0	0	0	0	0
0	0	0	1	1	1	1	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0
0	0	1	0	0	1	0	0	0	0	1
0	0	1	0	0	1	1	0	0	0	1
0	0	1	0	1	0	0	0	0	0	0
0	0	1	0	1	0	1	0	0	0	0
0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	1	0	0	0	1
0	0	1	1	0	0	0	0	0	0	0
0	0	1	1	0	0	1	0	0	0	1
0	0	1	1	0	1	0	0	0	0	1
0	0	1	1	0	1	1	0	0	0	1
0	0	1	1	1	0	0	0	0	0	0
0	0	1	1	1	0	1	0	0	0	1
0	0	1	1	1	1	0	0	0	0	1
0	0	1	1	1	1	1	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	0	0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	0	0	0	1
0	1	0	0	1	0	1	0	0	0	1
0	1	0	0	1	1	0	0	0	0	1
0	1	0	0	1	1	1	0	0	0	1
0	1	0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	1	0	0	0	1
0	1	0	1	0	1	0	0	0	0	0
0	1	0	1	0	1	1	0	0	0	1
0	1	0	1	1	0	0	0	0	0	1
0	1	0	1	1	0	1	0	0	0	1
0	1	0	1	1	1	0	0	0	0	1
0	1	0	1	1	1	1	0	0	0	1
0	1	1	0	0	0	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
0	1	1	0	0	1	0	0	0	0	1
0	1	1	0	0	1	1	0	0	0	1
0	1	1	0	1	0	0	0	0	0	1
0	1	1	0	1	0	1	0	0	0	1
0	1	1	0	1	1	0	0	0	0	1
0	1	1	0	1	1	1	0	0	0	1
0	1	1	1	0	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	1
0	1	1	1	0	1	0	0	0	0	1
0	1	1	1	0	1	1	0	0	0	1
0	1	1	1	1	0	0	0	0	0	1
0	1	1	1	1	0	1	0	0	0	1
0	1	1	1	1	1	0	0	0	0	1
0	1	1	1	1	1	1	0	0	0	1

Tabla de la verdad										
Entradas							Salidas			
INTA	INTR2	INTR1	INTR0	M2	M1	M0	INTA2	INTA1	INTA0	INTR
1	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0
1	0	0	0	0	1	1	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0
1	0	0	0	1	1	1	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0	1	1
1	0	0	1	0	1	0	0	0	0	0
1	0	0	1	0	1	1	0	0	1	1
1	0	0	1	1	0	0	0	0	1	1
1	0	0	1	1	0	1	0	0	1	1
1	0	0	1	1	1	0	0	0	0	0
1	0	0	1	1	1	1	0	0	1	1
1	0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	1	0	1
1	0	1	0	0	1	1	0	1	0	1
1	0	1	0	1	0	0	0	1	0	1
1	0	1	0	1	0	1	0	0	0	0
1	0	1	0	1	1	0	0	0	0	0
1	0	1	0	1	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0	1	1
1	0	1	1	0	0	1	0	0	1	1
1	0	1	1	0	1	0	0	1	0	1
1	0	1	1	0	1	1	0	0	1	1
1	0	1	1	1	0	0	0	0	1	1
1	0	1	1	1	0	1	0	0	1	1
1	0	1	1	1	1	0	0	0	1	1
1	0	1	1	1	1	1	0	0	1	1
1	1	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0
1	1	0	0	0	1	0	0	0	0	0
1	1	0	0	0	1	1	0	0	0	0
1	1	0	0	1	0	0	1	0	0	1
1	1	0	0	1	0	1	1	0	0	1
1	1	0	0	1	1	0	1	0	0	1
1	1	0	0	1	1	1	1	0	0	1
1	1	0	1	0	0	0	0	0	0	0
1	1	0	1	0	0	1	0	0	1	1
1	1	0	1	0	1	0	0	0	0	0
1	1	0	1	0	1	1	0	0	0	0
1	1	0	1	1	0	0	1	0	0	1
1	1	0	1	1	0	1	0	0	1	1
1	1	0	1	1	1	0	1	0	0	1
1	1	0	1	1	1	1	0	0	1	1
1	1	1	0	0	0	0	0	0	0	0
1	1	1	0	0	0	1	0	0	0	0
1	1	1	0	0	1	0	0	1	0	1
1	1	1	0	0	1	1	0	0	0	1
1	1	1	0	1	0	0	1	0	0	1
1	1	1	0	1	0	1	0	0	0	1
1	1	1	0	1	1	0	0	0	0	1
1	1	1	0	1	1	1	0	0	0	1
1	1	1	1	0	0	0	0	0	0	0
1	1	1	1	0	0	1	0	0	1	1
1	1	1	1	0	1	0	0	1	0	1
1	1	1	1	0	1	1	0	0	1	1
1	1	1	1	1	0	0	1	0	0	1
1	1	1	1	1	0	1	0	0	1	1
1	1	1	1	1	1	0	0	1	0	1
1	1	1	1	1	1	1	0	0	1	1

Bits que provocan la activación de los INTAi y de INTR.

- b) Para obtener las funciones lógicas se puede recurrir a confeccionar la tabla de Karnaugh y proceder a simplificar, pero debido al alto número de variables saldría una tabla demasiado grande y compleja. Para obtener las funciones vamos a emplear la deducción.

INTA0 se activará cuando la CPU entregue la señal de INTA y además esté activada la interrupción INTR0 y desenmascarada ($M0=1$).

$$INTA0 = INTA \cdot INTR0 \cdot M0$$

INTA1 se activará cuando la CPU entregue INTA y además esté activada la interrupción INTR1 y desenmascarada ($M1=1$), pero ha de estar desactivada o desenmascarada INTR0 porque de lo contrario al tener mayor prioridad se activaría INTA0. Por lo tanto la señal INTA1 es:

$$INTA1 = INTA \cdot INTR1 \cdot M1 \cdot \overline{INTR0} \cdot \overline{M0}$$

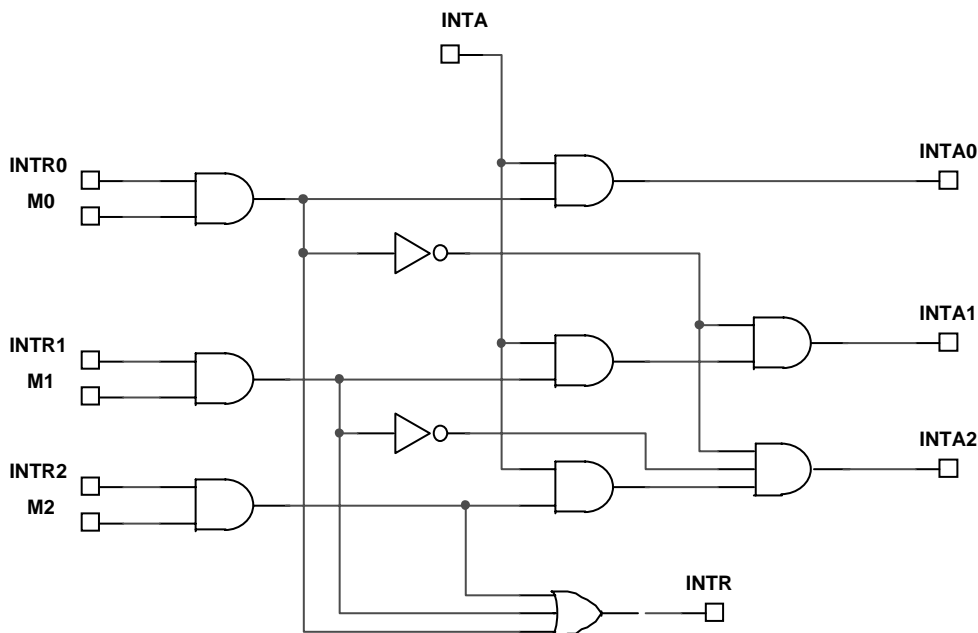
INTA2 se activará cuando la CPU entregue INTA y además esté activada la interrupción INTR2 y desenmascarada ($M2=1$), pero ha de estar desactivada o desenmascarada INTR0 porque de lo contrario al tener mayor prioridad se activaría INTA0 y lo mismo ha de ocurrir con INTR1. Por lo tanto la señal INTA2 es:

$$INTA2 = INTA \cdot INTR2 \cdot M2 \cdot \overline{INTR0} \cdot \overline{M0} \cdot \overline{INTR1} \cdot \overline{M1}$$

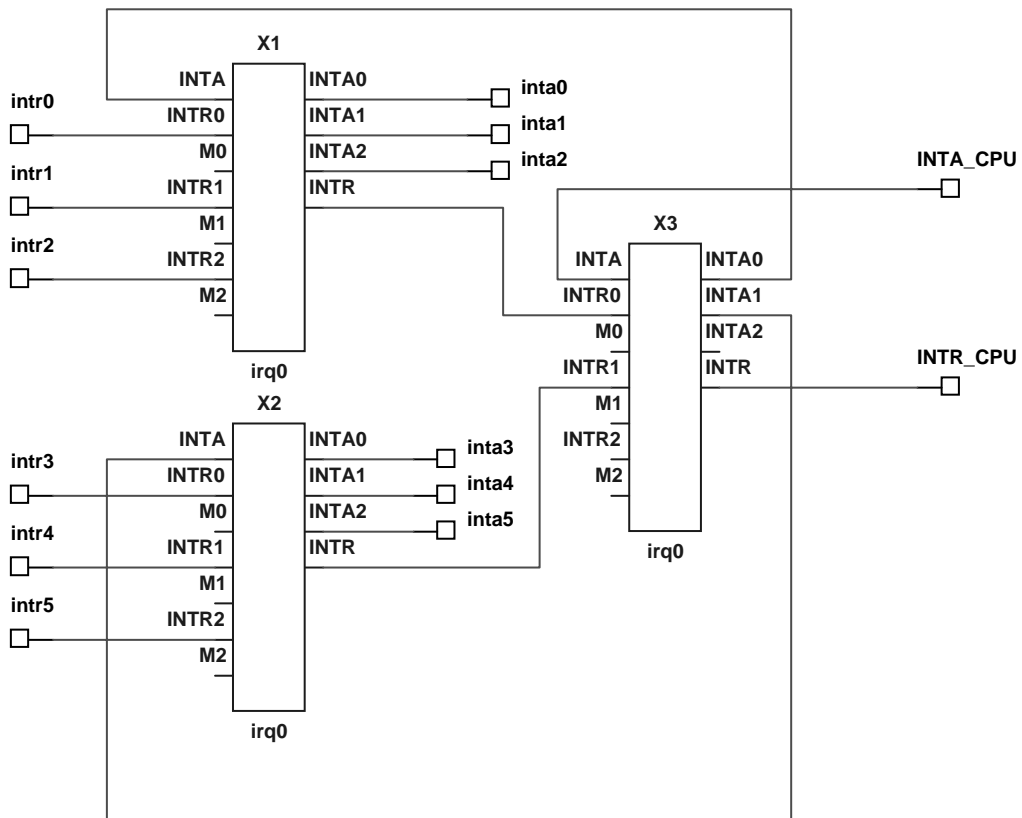
La señal de INTR estará activada siempre que esté activa alguna interrupción $INTR_i$ y su máscara correspondiente M_i también esté activada.

$$INTR = M0 \cdot INTR0 + M1 \cdot INTR1 + M2 \cdot INTR2$$

- c) Circuito lógico:



d) Controlador para 6 interrupciones:



Septiembre 2003 Reserva

f.- Una CPU con enmascaramiento individual de interrupciones. El registro de estado de interrupción y el reg. de máscara son de 8 bits. Si en el reg. de estado es 1 la petición está enmascarada y si es 0 está activa. En un instante se activan las 8 posibles interrupciones simultáneamente, lo que produce que el valor del registro de estado sea 01010000. De lo dicho con respecto al registro de máscaras se deduce que su contenido es:

Reg. estado = $\overset{1\ 2\ 3\ 4\ 5\ 6\ 7\ 8}{0\ 1\ 0\ 1\ 0\ 0\ 0\ 0}$ \Rightarrow las peticiones 2 y 4 están enmas.

Reg. máscaras \Rightarrow $\left\{ \begin{array}{l} 1 \Rightarrow \text{máscara puesta} \Rightarrow \text{interrup. enmascarada} \\ 0 \Rightarrow \text{" quitada} \Rightarrow \text{" reconocible} \end{array} \right.$

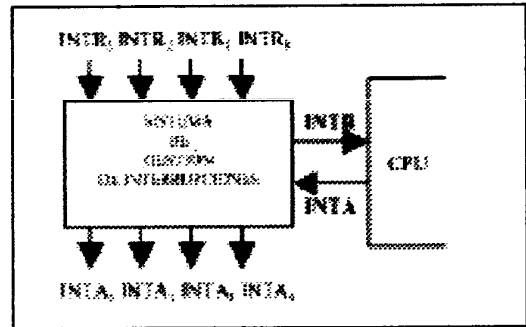
Reg. estado $\left\{ \begin{array}{l} 2 \Rightarrow 1 \rightarrow \text{enmascarada} \Rightarrow \text{máscara} = 1 \\ 4 \Rightarrow 1 \rightarrow \text{"} \Rightarrow \text{"} = 1 \end{array} \right. \left| \begin{array}{l} \text{resto:} \\ \text{mas} = 0 \end{array} \right.$

Reg. máscaras $\Rightarrow 2 = 4 = 1 \Rightarrow$ Reg. máscaras = 01010000
 \Downarrow
B

Junio 2003 RESERVA

6.- En la figura se presenta un diagrama con el circuito de gestión de prioridades sin enmascaramiento de un sistema de E/S (Prioridad $P_3 > P_2 > P_1 > P_0$). La expresión lógica que define INTR es:

- A) $INTR = INTR_3 + INTR_2 + INTR_1 + INTR_0$
- B) $INTR = INTR_3 + \overline{INTR_3}(INTR_2 + \overline{INTR_2}(INTR_1 + \overline{INTR_1}INTR_0))$
- C) $INTR = INTR_3 INTR_2 INTR_1 INTR_0$
- D) Dos de las anteriores son ciertas.



- La INTR se activa al activarse cualquiera de las INTR_i por

lo tanto cumplen tanto las ecuaciones A como B.

↓
D

SEPTIEMBRE 2003

3.- Suponga una CPU que dispone de 8 líneas de interrupción $PI_i, i=1..8$, con $PI_1 > PI_2 > PI_3 > \dots > PI_8$, que son enmascarables mediante 8 bits del registro de estado RE de la CPU (si el bit es 1 la petición está enmascarada y si es 0 está activa). El bit más significativo del registro corresponde a la petición de interrupción de mayor prioridad, el siguiente al segundo, ... hasta el menos significativo que corresponde al de menor prioridad. La máscara de interrupciones es 6C, expresada en hexadecimal. Con esta máscara, se solicita interrupción por las líneas 2 y 4 respectivamente (suponga que no está siendo atendida ninguna interrupción). La petición atendida en ese momento es:

- A) 2
- B) 4
- C) Cualquiera de las anteriores
- D) Ninguna de las anteriores.

	PI_1	PI_2	PI_3	PI_4	PI_5	PI_6	PI_7	PI_8
MÁSCARA	0	1	1	0	1	1	0	0
6C								

↑ ENMASCARADA ↑ ACTIVA

$PI_2 > PI_4$ pero PI_2 enmascarada \Rightarrow atiende a $PI_4 \Rightarrow$ B