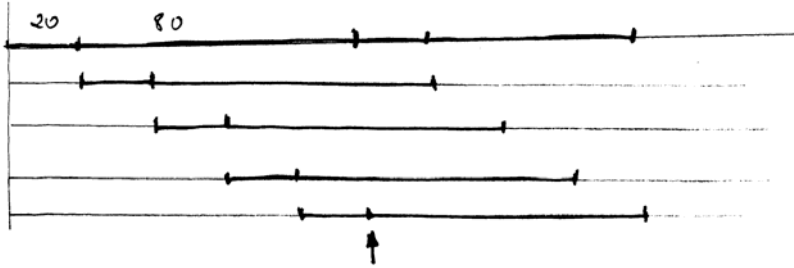


2004. Junio. 1º S. 2

Una mem. de N módulos conectados a un bus. Al inicio de la escritura el bus se ocupa 20 nseg. Durante los 80 nseg siguientes se completa la escritura. Las operaciones de escritura pueden solaparse. ¿Cuál es el nº máximo de módulos que pueden conectarse si la velocidad máxima posible es de 0,05 pal/nseg



A partir de aquí se solapan

Por lo tanto para escribir 5 palabras el tiempo mínimo sería $20 \times 5 = 100$ nseg

$$\begin{aligned} 5 \text{ pal} &\longrightarrow 100 \text{ nseg} \\ x &\longrightarrow 1 \text{ nseg} \end{aligned}$$

$$x = 0,05 \text{ pal/nseg}$$

$$\Downarrow \\ \text{Con } N=5 \quad 0,05 \text{ pal/nseg} \Rightarrow N > 4 \Rightarrow \underline{5}$$

2004. Junio. 1º S. 4

Indicar la verdadera

- A) El controlador DMA determina el sentido (lectura o escritura) de la operación E/S. \Rightarrow Falso, lo determina la CPU.
- B) La CPU interviene activamente en la transmisión con DMA \Rightarrow Falso
- C) Un procesador de E/S no es capaz de interrumpir a la CPU \Rightarrow Falso
- D) Ninguna de las anteriores \Rightarrow Verdadero

2004. Junio 2º S. 5

Un computador tiene disp. E/S muy rápidos. Se desea máximo rendimiento y mínima intervención de la CPU. El sistema utilizado sería:

Procesador de E/S con canal selector \Rightarrow A

2004. Sep. 5

En un computador con un reloj de 10^8 cic/seg, una instrucción emplea 4 ciclos en ejecutarse y en 2 de ellos ocupa el bus. El computador tiene una DMA que emplea 1 ciclo en la transferencia de palabra.

I) Con DMA transparente la max. velocidad de transferencia es $5 \cdot 10^7$ pal/seg

De cada 4 ciclos tiene 2 libre el bus \Rightarrow transfiere 2 palabras.

$$10^8 \text{ cic/seg} \Rightarrow \text{la mitad envia palabras} \Rightarrow \frac{10^8}{2} = 5 \cdot 10^7 \text{ pal/seg}$$

\Downarrow
Verdadero

II) Con DMA por robo de ciclo la vel. transf es de $2 \cdot 10^7$

Cada instrucción roba 1 ciclo \Rightarrow 5 ciclos \Rightarrow instruc + 1 transfe

$$\frac{10^8}{5} = 2 \cdot 10^7 \Rightarrow 2 \cdot 10^7 \text{ pal/seg} \Rightarrow \text{Verdadero}$$

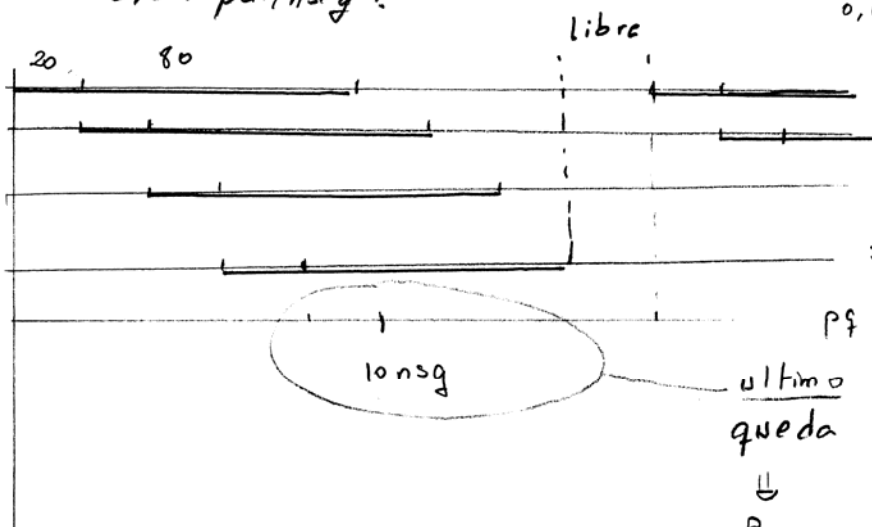
2004. Sep. Reser. 2

Memoria computador \Rightarrow $\left. \begin{array}{l} 20 \text{ nsg ocupa bus} \\ 80 \text{ nsg acaba de escribir} \end{array} \right\}$

La escritura entre módulos puede solaparse

n N^2 módulos N conectados al bus si la velocidad máxima es de

$0,04 \text{ pal/nseg?}$



$$0,04 \text{ pal/nsg} \Rightarrow 100 \text{ nsg} \Rightarrow 4 \text{ pal.}$$

El sistema permite escribir 5 pal en 100 nsg

\Downarrow
si solo se escriben 4 es

pq hay 4 módulos y el

ultimo tiempo de solapamiento queda libre

\Downarrow
B

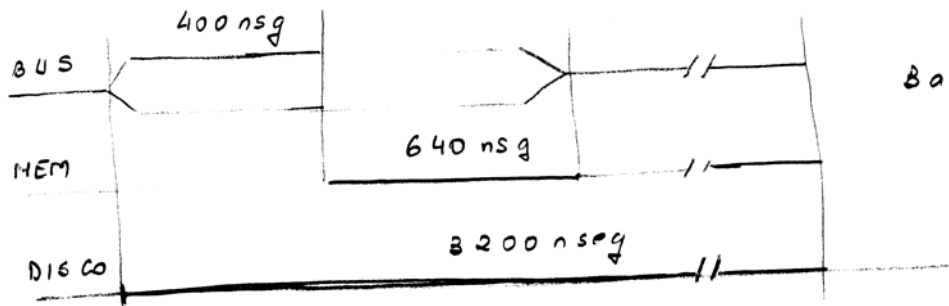
E. ES. 2004. 2

2004. Sep. Reser. 3

Computador con longitud palabra 64 bits. Cada transmisión ocupa el bus 400 nseg. Velocidad de transferencia desde el disco es de 2×10^7 bits/seg y el tiempo de ciclo de mem. es de 640 nseg. ¿Qué fracción del ancho de banda de la mem. ppal se consume en una operación de EIS del disco?

Problema 1-4 del libro de problemas

El disco tarda en disponer de 64 bits $\frac{64}{2 \times 10^7} = 3200 \text{ nseg}$



$$\begin{aligned} \text{Banda mem} &= \frac{64}{640 \text{ nseg}} \\ &= \frac{64}{640 \cdot 10^{-9}} \\ &= 10^8 \text{ bps} \end{aligned}$$

$$\% = \frac{\text{Banda disco}}{\text{Banda mem}} = \frac{2 \times 10^7}{10^8} = 0,2 \Rightarrow 20\% \Rightarrow \underline{\underline{B}}$$

2004. Sep. Reser. 5

- I) En la mayoría de sistemas con DMA estos poseen mayor prioridad que la CPU en los accesos a memoria.
- Falso, la DMA más habitual es la de "Robo de ciclos" lo que implica similar prioridad a ambos.
- II) La DMA debe ser capaz de interrumpir a la CPU cuando este' preparado para transferir un bloque de datos.

Cierto. (Punto 2 en pg 168 del libro teoría)

⇓
B