

Exámenes 2004. Unidad de memoria

2004. 2º S. 6

- Un computador con longitud palabra = 16 bits
- Bus dir = 24 bits (A<sub>23</sub>-A<sub>0</sub>)
- Memoria 2.5 M palabras x 16 bits/palabra

Disponibilidad } - RAM → 1M x 1  
 } - Empieza en dir 0

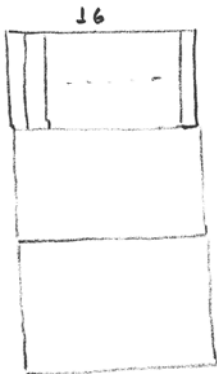
I) Una expresión lógica que sirve para detectar direcciones no válidas

es :  $A_{23} + A_{22} + A_{21} \cdot (A_{20} + A_{19})$

II) Bastan 32 módulos de RAM

Nº módulos

Cada RAM completa 16 bit del bus de datos ⇒ 1M palabra ⇒ 16 módulos RAM



⇒  $16 \times 3 = 48$  Módulos ⇒ II = Falso

Direccionar en el último Mega 1/2 Circuito integrado ⇒ 500k

3MB ⇒ A<sub>0</sub> - A<sub>19</sub> ⇒ 1/2 MB

A<sub>23</sub> A<sub>22</sub> A<sub>21</sub> A<sub>20</sub> A<sub>19</sub> A<sub>18</sub> A<sub>17</sub>

1º M ⇒  $\begin{cases} 0 & 0 & 0 & 0 & 0 & - & - & - \\ 0 & 0 & 0 & 0 & 1 & - & - & - \end{cases}$

2º M ⇒  $\begin{cases} 0 & 0 & 0 & 1 & 0 & - & - & - \\ 0 & 0 & 0 & 1 & 1 & - & - & - \end{cases}$

3º M 1/2 ⇒  $\begin{cases} 0 & 0 & 1 & 0 & 0 & 0 & - & - \\ 0 & 0 & 1 & 0 & 0 & 1 & - & - \end{cases}$

1/2 ⇒  $\begin{cases} 0 & 0 & 1 & 0 & 1 & 0 & - & - \\ 0 & 0 & 1 & 0 & 1 & 1 & - & - \end{cases}$

Dir. no válidas  
 ↓

A<sub>0</sub> A<sub>23</sub> = 1

0

1 A<sub>22</sub> = 1

0

(A<sub>21</sub> = 1 y (A<sub>20</sub> = 1 ó A<sub>19</sub> = 1))

0

1

↓  
 I) = Cierbo

0

1

2004. 2<sup>o</sup>S. B

RAM 2048 x 8 con módulos de 128 x 8.

Para direccionar, el bus direcciones:

$$\begin{array}{l}
 128 \Rightarrow 2^7 \Rightarrow A_0 \div A_6 \\
 2048 \Rightarrow 2^{11} \Rightarrow A_0 \div A_{10}
 \end{array}
 \left. \begin{array}{l}
 \Rightarrow 7 \text{ líneas comunes} \\
 4 \text{ selección de módulo}
 \end{array} \right\} \Rightarrow \underline{\underline{A}}$$

$$\frac{2048}{128} = 16 \quad \leftarrow \quad 2^4 = 16 \text{ módulos}$$

2004. Sep. B

Computador  $\rightarrow$  100 MIPS

LOAD  $\rightarrow$  20%    STORE  $\rightarrow$  20%    MOVE  $\rightarrow$  20%    Arit  $\rightarrow$  35%    Bitf  $\rightarrow$  5%

LOAD y STORE  $\rightarrow$  2 pal. memoria

¿ Accessos medios a memoria ?

LOAD y STORE  $\rightarrow$  2 palabras  $\Rightarrow$  2 accesos + 1 más para almacenar o leer el operando  $\Rightarrow$  3

$$\text{Total} = 0,2 \times 3 (\text{LOAD}) + 0,2 \times 3 (\text{STORE}) + 0,2 \cdot 1 (\text{MOVE}) + 0,35 \cdot 1 (\text{Arit}) + 0,05 \cdot 1 (\text{Bitf})$$

$$= 0,6 + 0,6 + 0,2 + 0,35 + 0,05 = 1,8$$

$$1,8 \times 100 \cdot 10^6 = 180 \cdot 10^6 \text{ accesos/seg} \Rightarrow \underline{\underline{D}}$$

Se dispone de 3 módulos de memoria con entradas de selección activa a nivel bajo. Dos módulos son de 8K palabras y el tercero de 32 K palabras. Estos módulos de memoria van a estar direccionados por un procesador que posee un bus de direcciones con 16 líneas (A<sub>15-0</sub>). Se requiere que los circuitos de 8K ocupen las direcciones de memoria menores y las mayores, y que las palabras de direcciones sobrantes se repartan en dos áreas del mismo tamaño.

A) (2 puntos) Proponga un mapa de memoria que utilice los tres módulos con las especificaciones indicadas anteriormente. Diseñe un circuito que realice ese mapa.

B) (2 puntos) Indique el módulo de memoria y la posición en dicho módulo que se activa con cada una de las siguientes direcciones (A<sub>15-0</sub>, en hexadecimal): 0123, 2345, 4567, 6789, 89AB, ABCD, CDEF, EF01.

**Solución:** Este problema es similar a problema 2-6 del texto "Problemas de Estructura y Tecnología de Computadores", 2ª edición. Se recomienda consultar la solución a este problema con el fin de facilitar la comprensión de las explicaciones dadas a continuación.

**A) Mapa de memoria y circuito.**

Descomponemos las 64K direcciones del bus de direcciones ( $2^{16}$ ) en grupos de 8K, cada uno de los cuales está definido por uno de los posibles valores de A<sub>15</sub>, A<sub>14</sub> y A<sub>13</sub>. La Tabla 1 muestra la solución con las especificaciones dadas en el enunciado: el módulo de 32 K debe ocupar forzosamente las posiciones intermedias (ya que no se puede "partir" un módulo de memoria físicamente) para que, estando los dos módulos de 8K situados en las direcciones mayores y menores, las palabras de direcciones sobrantes se repartan en dos áreas del mismo tamaño.

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	Direcciones (Hexadecimal)	
0	0	0	8 K de M <sub>1</sub>	0000-1FFF
0	0	1	LIBRE	2000-3FFF
0	1	0	32 K de M <sub>3</sub>	4000-BFFF
0	1	1		
1	0	0		
1	0	1		
1	1	0	LIBRE	C000-DFFF
1	1	1	8 K de M <sub>2</sub>	E000-FFFF

**Tabla 1.** Mapa de memoria.

Como M<sub>1</sub> y M<sub>2</sub> son de 8K, para direccionar una palabra dentro de estos módulos se necesitan 13 líneas de dirección (a<sub>12-0</sub>). En el caso de M<sub>3</sub>, de 32K se necesitan 15 líneas (a<sub>14-0</sub>).

Se supone que los tres circuitos tienen de señal de selección  $\overline{CSM}_1, \overline{CSM}_2, \overline{CSM}_3$ ,

A partir de la Tabla 1, se sigue que las señales de selección son:

$$CSM_1 = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \Rightarrow \overline{CSM}_1 = A_{15} + A_{14} + A_{13}$$

$$CSM_2 = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \Rightarrow \overline{CSM}_2 = \overline{A_{15}} \cdot A_{14} \cdot A_{13}$$

$$CSM_3 = (A_{15} \cdot \overline{A_{14}}) + (\overline{A_{15}} \cdot A_{14}) \Rightarrow \overline{CSM}_3 = (A_{15} + \overline{A_{14}}) + (\overline{A_{15}} + A_{14})$$

Se dan dos soluciones para la habilitación de los módulos de memoria con las señales  $\overline{CS_{M1}}$ ,  $\overline{CS_{M2}}$ ,  $\overline{CS_{M3}}$ , a partir de las funciones anteriores. La primera (Figura 1) utiliza un decodificador. La segunda (Figura 2) es un diseño a nivel de puertas.

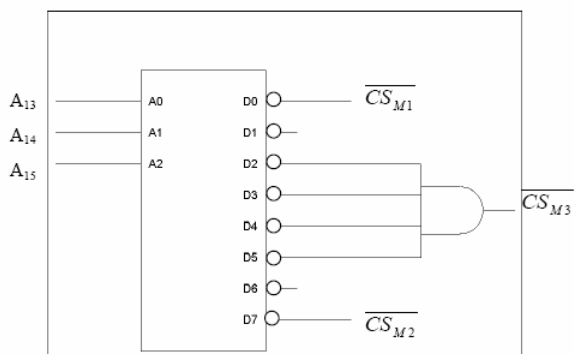


Figura 1. Lógica de selección de módulos utilizando un decodificador

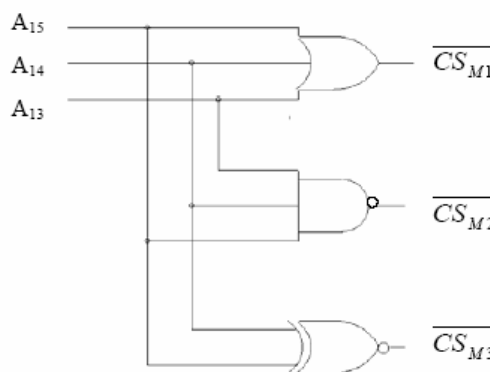


Figura 2. Lógica de selección de módulos utilizando puertas

Las líneas de dirección de M1 y M2 ( $a_{12-0}$ ) se conectan directamente a las líneas  $A_{12-0}$ . Para M3 se necesitan 15 líneas  $A_i$ . En principio hay dos soluciones (en todo caso además de  $A_{13-0}$  hay que utilizar  $A_{15}$  ó  $A_{14}$ ):

$$a_{14-0} = A_{14-0} \text{ ó } a_{14-0} = A_{15}A_{13-0}$$

Se elige la primera solución (Figura 3), pues es la que cubre el mapa de memoria.

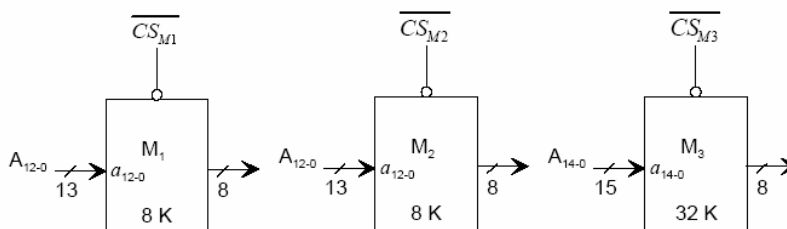


Figura 3. Lógica de direccionamiento

**B)** A partir de las direcciones  $A_{15-0}$  que se nos indican se tendrán que deducir los valores de  $A_{15}$ ,  $A_{14}$  y  $A_{13}$  para determinar si se selecciona algún módulo y cuál es. También se tiene que analizar los valores de las líneas de dirección del módulo seleccionado ( $a_{12-0}$  para M1 y M2;  $a_{14-0}$  para M3) para determinar qué dirección interna es la que se activa.

En la Tabla 2 se muestran los resultados de dicho análisis:

$A_{15} A_{14} A_{13} A_{12}$ (binario)	$A_{11} - A_8$ (hexadecimal)	$A_7 - A_4$ (hexadecimal)	$A_3 - A_0$ (hexadecimal)	Memoria	Palabra de memoria (hexadecimal)
0 0 0 0	1	2	3	M <sub>1</sub>	$a_{12} a_{11-8} a_{7-4} a_{3-0} = 0 1 2 3$
0 0 1 0	3	4	5	Libre	
0 1 0 0	5	6	7	M <sub>3</sub>	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 4 5 6 7$
0 1 1 0	7	8	9	M <sub>3</sub>	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 6 7 8 9$
1 0 0 0	9	A	B	M <sub>3</sub>	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 0 9 A B$
1 0 1 0	B	C	D	M <sub>3</sub>	$a_{14-12} a_{11-8} a_{7-4} a_{3-0} = 2 B C D$
1 1 0 0	D	E	F	Libre	
1 1 1 0	F	0	1	M <sub>2</sub>	$a_{12} a_{11-8} a_{7-4} a_{3-0} = 0 F 0 1$

Tabla 2. Módulo y palabra que se activan

2004.1º S. 7

Computador mem. ppal.  $2^{22}$  palabras  $\times$  8 bit/pal.

d' Nº bits para diseñar una cache con corresp. directa para 64Kpal, con 4 pal/bloque y estrategia write back?

Corresp directa:

Bus dir = 32 bits

Cache  $\left\{ \begin{array}{l} 64 \text{ Kpal} \\ 4 \text{ pal/bloque} \end{array} \right\} \Rightarrow 64 \text{ Kpal} = 2^{16} \Rightarrow \frac{2^{16}}{2^2} = 2^{14} \Rightarrow 14 \text{ bits para indicar bloque}$   
 $\Downarrow$   
 2 bits dir. pal. dentro bloque

32 bit Bus dir  $\Rightarrow \left\{ \begin{array}{l} A_0 \div A_1 \text{ dir. pal. dentro del bloque} \\ A_2 \div A_{15} \text{ direccionar el bloque} \\ A_{16} \div A_{31} \text{ etiqueta} \end{array} \right.$

Estructura:

Actualiza. escrita(s)	Etiqueta (16)	Bloques 4 x 8	} 2 <sup>14</sup> bloques

total =  $2^{14} (1 + 16 + (4 \times 8)) = 2^{14} \times 49 \text{ bits} \Rightarrow \underline{\underline{d}}$

2004. septiem. 7

- Mem. cache con 256 bloques y 16 pal/bloque. Corresp. directa
- Bus dir. de mem. ppal = 32 bits

16 pal/bloque =  $2^4 \Rightarrow 4$  bits dir. pal. en bloque  $\Rightarrow A[0..3]$

256 bloques =  $2^8 \Rightarrow 8$  " " bloque  $\Rightarrow A[4..11]$

Etiqueta =  $A[12..31]$

Etiqueta				Bloque				Dir pal		
A <sub>31</sub>	A <sub>28</sub>	A <sub>27</sub>	A <sub>24</sub>	A <sub>23</sub>	A <sub>20</sub>	A <sub>19</sub>	A <sub>16</sub>	A <sub>8</sub>	A <sub>3</sub>	A <sub>0</sub>
A		3	2	7	1	1	3	3		
A		3	2	6	1	1	3	7		
A		3	5	0	2	1	2	7		

$A_4 \div A_{11}$  iguales mismo bloque

$12_H = 18_{10} \Rightarrow$  bloque 18  $\Rightarrow \underline{\underline{A}}$

E. U17. 2004.5

Mem. caché de corresp. directa tiene:

256 bloques  $\Rightarrow 2^8 \Rightarrow A[4..11]$

16 pal/bloque  $\Rightarrow 2^4 \Rightarrow A[0..3]$

Sistema bus dir 32 bits  $\Rightarrow A[0..31]$

Etiqueta  $\Rightarrow A[12..31]$

Nº fallos al ejecutar 10 veces un bucle con acceso a direcciones:

Etiqueta		Bloque										Dir pal				
A31	A28	A27	A24	A23	A20	A19	A16	A15	A12	A11	A8	A7	A4	A3	A0	
A		3		2		7		2		1		0		5		①
A		3		5		0		2		1		2		0		②
A		3		2		7		1		1		3		0		③
A		3		2		7		2		1		0		3		④
A		3		5		0		2		1		2		4		⑤
A		3		2		6		1		1		3		0		⑥
A		3		2		7		2		1		0		4		⑦

1ª pasada: Lee ① y hay fallo

" ② " " "

" ③ " " "

" ④ " " acierto pq etiqueta coincide

" ⑤ " " " " " "

" ⑥ " " fallo " " no "

" ⑦ " " acierto " " "

El bloque 10 (①, ④ y ⑦)  $\Rightarrow$  solo sufrirá un fallo, el 1º

" " 12 (②, ⑤)  $\Rightarrow$  " " " " " 1º

" " 13 (③, ⑥)  $\Rightarrow$  sufrirá continuos fallos pq ⑥ desaloja a ③ y al dar otra vuelta ③ desaloja a ⑥ y así sucesivamente  $\Rightarrow$  10 vueltas del bucle  $\Rightarrow 2 \times 10 = 20$  fallos

Total = 1 + 1 + 20 = 22  $\Rightarrow$  B

Memoria asociativa

Etiqueta	b31				Palabra	Marca
	b31	b28	b24	b20		
0	0000	1001	0010	0111	Palabra 0	?
1	1011	0110	0011	0001	Palabra 1	?
1	0101	1111	1100	0000	Palabra 2	?
1	1111	0000	0000	1011	Palabra 3	?
0	1110	0000	0000	1111	Palabra 4	?
1	1111	0000	1111	0000	Palabra 5	?

J) Si la máscara  $K = 0000000000001111$  y arg.  $A = 111111111110000$

el único bit de la marca con valor 1 corresponde a la palabra 2.

Respuesta: - Se miran las palabras con etiqueta = 1  $\Rightarrow$  Pal. 1, 2, 3, 5

- De ellas solo los bit en los que la máscara = 1  $\Rightarrow b_{0 \div 3}$

- De ellos los que coinciden con A  $\Rightarrow$  Pal. 2 y 5  $\Rightarrow J = \text{Falso}$

II) Si  $K = 1111000000001111$  y  $A = 1111000000001111$ , solo

un bit de la Marca = 1

- Se miran pal. con etiq = 1  $\Rightarrow$  Pal 1, 2, 3, 5

- Los bits  $b_{0 \div 3}$  y  $b_{28 \div 31}$

- De ellos los que coinciden con A  $\Rightarrow$  de las pal 1, 2, 3, 5

los que tienen a "1" los bits  $b_{0 \div 3}$  y  $b_{28 \div 31} \Rightarrow$

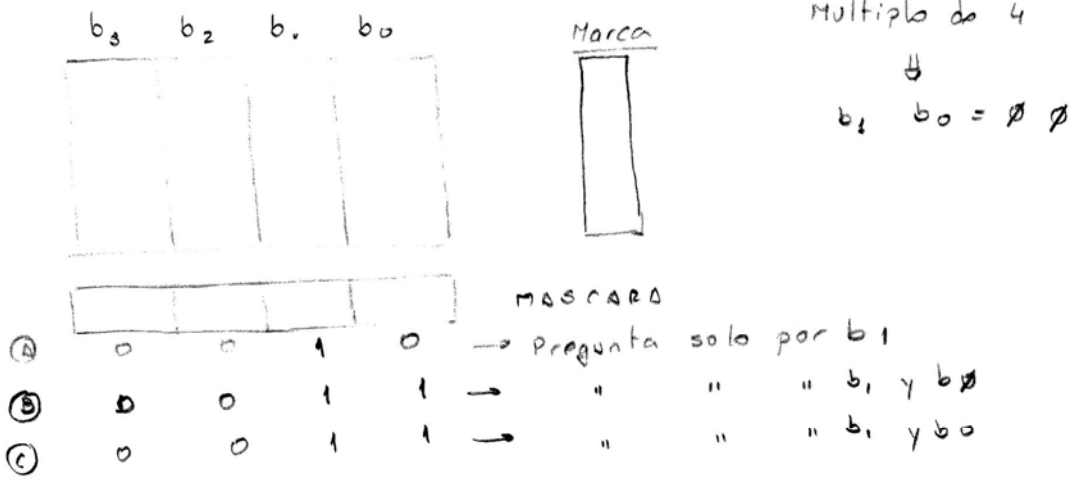
$\Rightarrow$  Ninguna  $\Rightarrow$  No hay bit en la marca = 1  $\Rightarrow II = \text{Falso}$

Respuesta =  $J = F$  y  $II = F \Rightarrow \underline{D}$

2004. Septiembre. Reserva. 7

Mem. asociativa de  $n$  palabras y 4 bit/palabra.

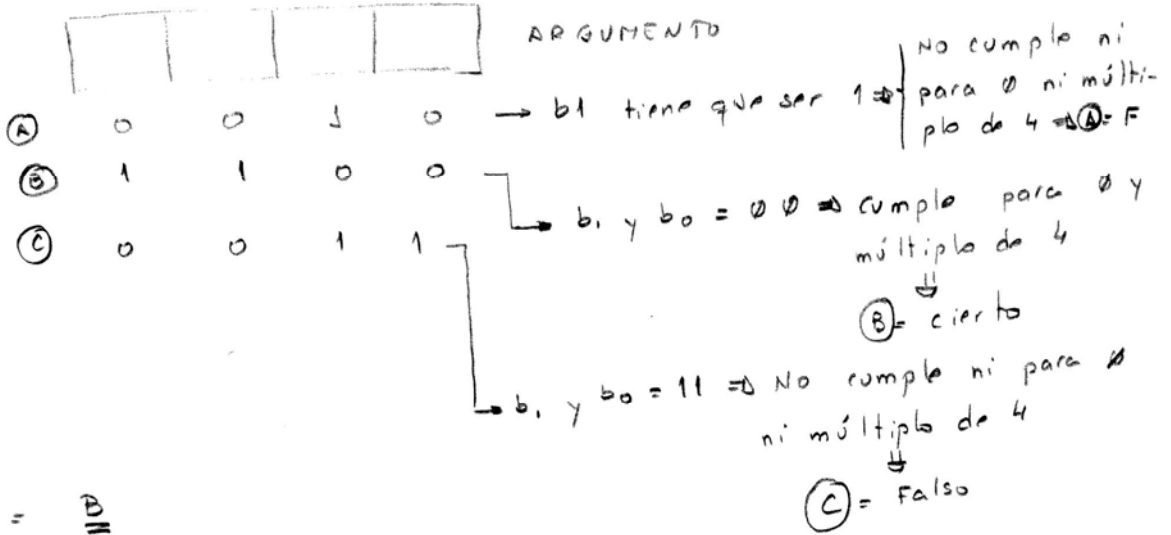
Indicar qué valores de argumento ( $A$ ) y máscara ( $K$ ) dan un "1" en todos aquellos bits del registro de marca cuya celda de memoria contenga el valor "0" o bien un múltiplo de 4, y un "0" en caso contrario



Multiplo de 4

↓

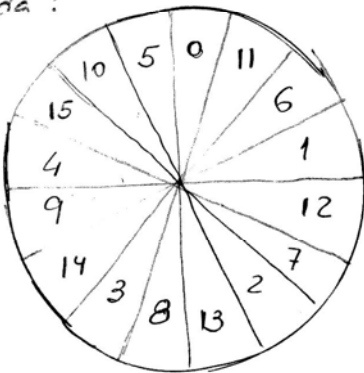
$b_1 b_0 = 00$



Respuesta = **B**

2004. IFS. 3

Disco con entrelazado doble : 16 sectores , 4Kbytes /sector, 6000 rpm.  
 ¿Tiempo en leer los sectores de una pista si cabeza ya posicionada?



En leer todos los sectores dará 2 vueltas enteras y  $\frac{14}{16}$  de vuelta pq en la última vuelta acaba en el sector 15

$6000 \text{ rpm} \Rightarrow 100 \text{ rps} \Rightarrow 10 \text{ mseg/vuelta}$

$10 \text{ mseg} \times 2 \frac{14}{16} = 28,75 \text{ mseg} \Rightarrow \underline{\underline{C}}$



2004. 2º S. 7

Disco : 1024 pistas [0 ÷ 1023]

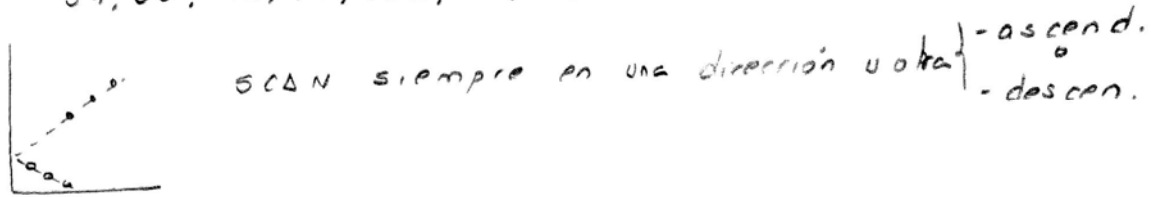
Peticiones cola : 2, 35, 46, 23, 90, 102, 10 y 34

Posición inicial = Pista 29

Planificación SCAN

I) Longitud media de búsqueda es la misma si la dirección es creciente o decreciente

II) Las solicitudes de acceso se podrían atender en el orden 34, 35, 46, 90, 102, 23, 10, 2



SCAN

Orden creciente  $\Rightarrow$

	34	35	46	90	102	23	10	2
Pistas $\rightarrow$	5	1	11	44	12	79	13	8

Orden decreciente  $\Rightarrow$

	23	10	2	34	35	46	90	102
Pistas $\rightarrow$	6	13	8	32	1	11	44	12

$$LMB = \frac{5 + 1 + 11 + 44 + 12 + 79 + 13 + 8}{8} = \frac{173}{8} = 21,625$$

$$LMB = \frac{6 + 13 + 8 + 32 + 1 + 11 + 44 + 12}{8} = \frac{127}{8} = 15,875$$

$J = F \cdot l$

II = cierto  $\Rightarrow$  solución = C

2004. Septiembre. 2

Disco : 4 superficies, 128 cilindro, 16 sec/pista, 4 Kbyt/sector,

6000 rpm, entrelazado simple

velocidad transferencia?

Entrelazado simple  $\Rightarrow$  1 pista = 2 vueltas  $\Rightarrow$

$$6000 \text{ rpm} = 100 \text{ rps} \Rightarrow 10 \text{ mseg/vuelta} \Rightarrow 1 \text{ pista} = 20 \text{ mseg}$$

$$1 \text{ pista} = 16 \text{ sec/pista} \times 4 \text{ Kbyt/sec} = 64 \text{ Kbyt/pista}$$

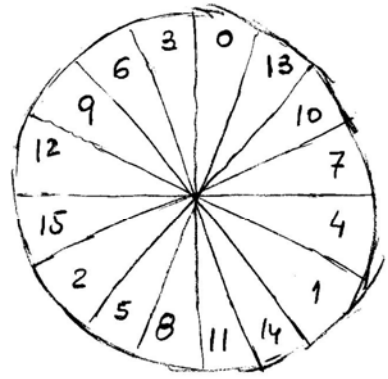
$$64 \text{ Kbyt} \quad \frac{20 \text{ mseg}}{1 \text{ seg}}$$

$$\times = \frac{64 \text{ Kbyt}}{20 \cdot 10^{-3}} = \frac{64 \cdot 10^3}{20} = 3200 \text{ Kbyt/seg} \Rightarrow \underline{\underline{B}}$$

E.U.T. 2004.9

2004. Sept. Reserva. 4

Disco : Entrelazado cuádruple  
16 sectores  
4 Kbyt./sect  
6000 rpm



¿ Cuántas vueltas para leer pista completa?

$$1 \text{ pista} \Rightarrow 3 \text{ vueltas} + \underbrace{\text{la última hasta el sector 15}}_{3/4 \text{ vuelta}} = 3,75$$

↓  
A

2004. sept. Reserva. 6

Disco : 1024 pistas [0 ÷ 1023]

Cola peticiones : 2, 35, 46, 23, 90, 102, 10, 34

Pista inicial : 25

I) Con planificación FCFS una vez atendido la 46 y hasta que se atiende la siguiente es de 23.

FCFS  $\Rightarrow$  1º entra, 1º sale  $\Rightarrow$  Después de la 46 se atiende a la 23  $\Rightarrow$  Atraviesa 23 pistas  
↓  
Verdadero

II) Usando SSTF después de la 46 y hasta la siguiente atraviesa 8 pistas

SSTF  $\Rightarrow$  1º el más cercano  $\Rightarrow$  De la 46 se pasa a la más cercana = 35  
↓  
Atraviesa 11 pistas  
↓

Solución = B

Falso