

ESTRUCTURA DE INTERCONEXIÓN DE UN COMPUTADOR

Componentes de un computador:

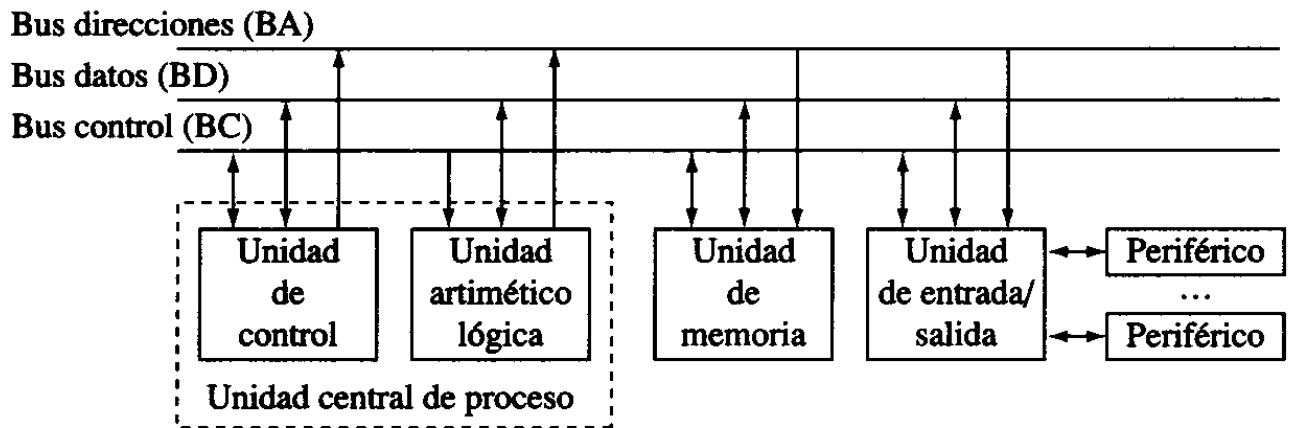


FIGURA 6.1. Estructura funcional de un computador.

Arquitectura Von Neumann:

- Acceso a memoria aleatorio
- En memoria hay datos e instrucciones indistintamente
- Ejecución de programas es secuencial

Programa = Conjunto de instrucciones y datos almacenados en memoria

Ciclo instrucción {
▪ Fase de búsqueda
▪ Fase de ejecución

Ejecución de una instrucción {
1º. El PC apunta a la instrucción a ejecutar
2º. El código de la instrucción → R.I.
3º. Decodificación de la instrucción e incremento del PC
4º. Si se precisa buscar el operando ⇒ nueva fase de búsqueda
5º. Si la instrucción está completa ejecutarla
6º. Ejecutar nueva instrucción

1.2.2 Ejemplo: Ejecución de una instrucción

Se considera una máquina hipotética que incluye las características especificadas en la Figura

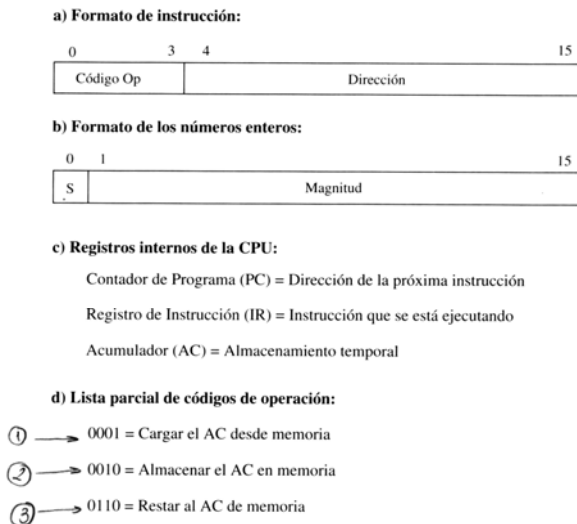


Figura 1.5: Características de un computador hipotético

La CPU contiene un acumulador (AC) que permite almacenar los datos de forma temporal. Las instrucciones como los datos tienen una longitud de 16 bits. El formato de la instrucción tiene 16 bits, ya que en el formato de instrucción se han reservado 4 bits para el código de operación y 12 bits para la dirección.

La Figura 1.6 ilustra la ejecución parcial de un programa, mostrando las partes relevantes.

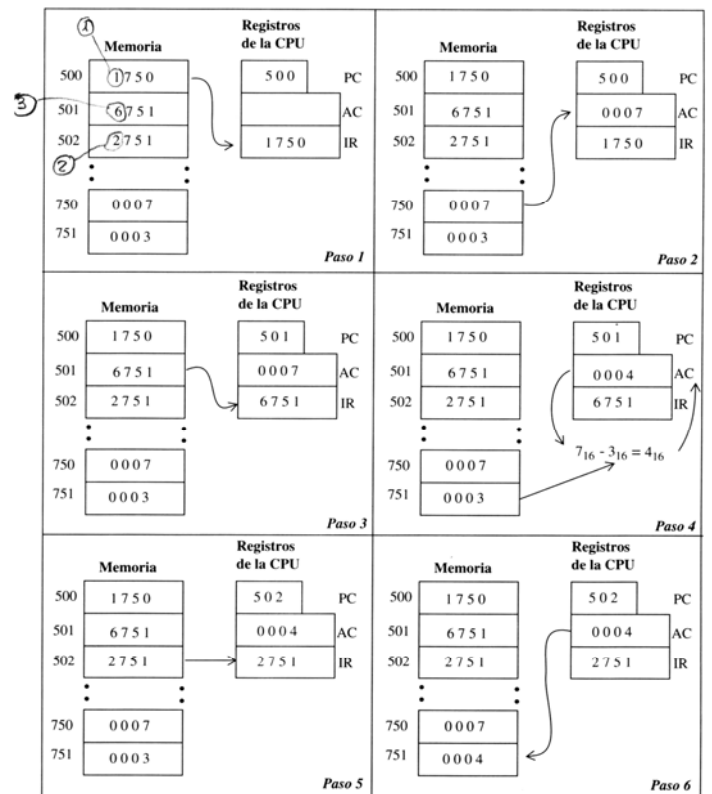


Figura 1.6: Ejemplo de ejecución de un programa

10 Estructura y Tecnología de Computadores

- 1) El contenido del contador de programa (PC) es 500_{16} , que es la dirección de la primera instrucción. El contenido de esta dirección se carga en el registro de instrucción (IR). Debe observarse que este proceso requiere la utilización del registro de dirección de memoria (MAR) y un registro de datos de memoria (MBR). Para hacer el ejemplo de ejecución del programa lo más sencillo posible se ignoran, por el momento, los contenidos de estos registros internos a la CPU.
- 2) Los 4 primeros bits de IR (0001) indican que hay que cargar el AC. Los 12 bits restantes especifican la dirección, que es 750_{16} .
- 3) Se incrementa el PC y se lee la instrucción siguiente.
- 4) Al antiguo contenido del AC, se le resta el contenido de la posición 751_{16} y el resultado se almacena en el acumulador (código de operación = 0110).
- 5) Se incrementa el PC y se lee la instrucción siguiente.
- 6) Se almacena el contenido del AC en la posición 751_{16} (código de operación = 0010).

En este ejemplo, para restar al contenido de la posición 750_{16} el contenido de la posición 751_{16} se necesitan tres ciclos de instrucción, cada uno consistente en un ciclo de búsqueda y un ciclo de ejecución. Con un conjunto de instrucciones más complejas se habrían necesitado menos ciclos. ♦

Interconexión mediante bus

Función bus {

- Soportar la información
- Garantizar comunicación

Tipos de buses

- Direcciones → anchura ⇒ capacidad direccionamiento
- Datos → anchura ⇒ rendimiento
- Control → específico en cada μ P

Estructura de diseño del bus

- Dedicación {
 - Dedicados
 - No dedicados
- Arbitraje {
 - Centralizado
 - Distribuido
- Temporización {
 - Síncrona
 - Asíncrona
- Anchura {
 - En direcciones ⇒ capacidad direccio.
 - En datos ⇒ rendimiento
- Transferencia de datos {
 - Lectura
 - Escritura

Métodos de arbitraje:

Centralizado: Existe un dispositivo controlador de bus encargado de controlar el bus. Estructura daisy-chaining

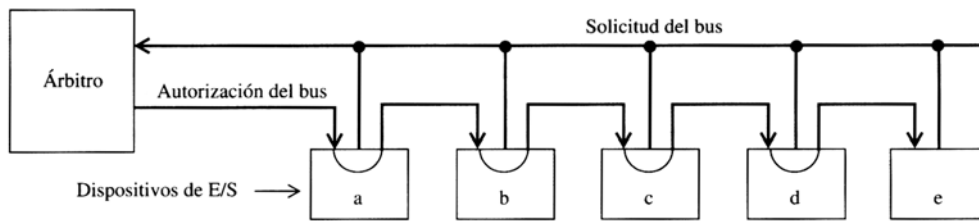


Figura 1.23: Bus con arbitraje centralizado por encadenamiento

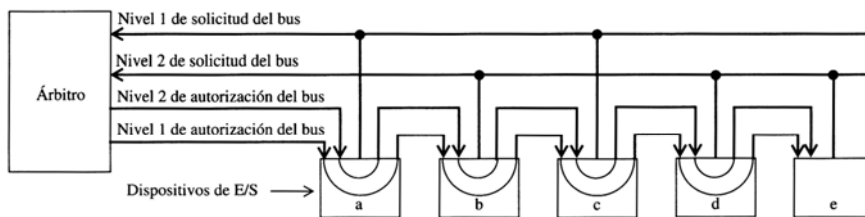


Figura 1.24: Bus con arbitraje centralizado y dos niveles de prioridad

Distribuido: No hay controlador de bus y cada módulo tiene una lógica de control suficiente para poder acceder al bus

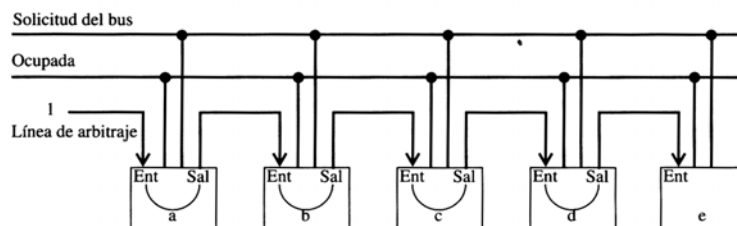
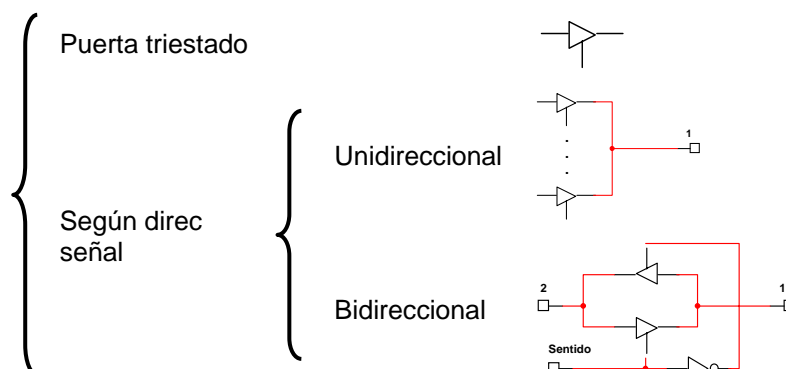


Figura 1.25: Bus con arbitraje distribuido

Consideraciones prácticas



Septiembre del 2002

7.- Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 16 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 12 bits representan la dirección de memoria. A continuación se muestra una lista parcial de los códigos de operación:

0011: Cargar el registro acumulador desde memoria.

0101: Almacenar en memoria el contenido del registro acumulador.

0110: Sumar el contenido del acumulador y el de una dirección de memoria. El resultado se almacena en el acumulador.

Indicar cuál de los siguientes fragmentos de programa suma el contenido de la dirección de memoria $3A5_{16}$ al contenido de la dirección de memoria $3B9_{16}$ y almacena el resultado en la dirección de memoria $3A5_{16}$.

A) $33A5_{16}$, $63B9_{16}$, $53A5_{16}$

B) $33B9_{16}$, $63A5_{16}$, $53A5_{16}$

C) Los anteriores son correctos

D) Ninguno de los anteriores

2002 Junio-1ª semana

7.- Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

I. La posición de conexión de los dispositivos a la línea de arbitraje no determina la prioridad de aquellos en el uso del bus.

II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

2001 Junio -1ª semana

8.- Indique si las siguientes afirmaciones son verdaderas.

I. Una transferencia de datos en un bus que utiliza la técnica de multiplexación en el tiempo de direcciones y datos se realiza de la forma siguiente: se coloca la dirección en el Bus de Direcciones y se mantiene mientras el dato se sitúa en el Bus de Datos.

II. Cuando las salidas de varias puertas triestado se encuentran conectadas a una misma línea de un bus, sólo una de ellas puede estar en estado de alta impedancia.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

(Junio 1998 - 1ª semana)

2.- La multiplexación en el tiempo del bus implica:

I. Aumentar la complejidad de la circuitería asociada a cada módulo al utilizar un menor número de líneas.

II. Una reducción potencial en el rendimiento del computador puesto que ciertos sucesos que comparten las mismas líneas no pueden tener lugar en paralelo.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

2005 Septiembre reserva

2.- Un bus con arbitraje centralizado por encadenamiento (*daisy-chaining*) y con dos niveles de prioridad tiene conectados 5 dispositivos. Los dispositivos d_1 , d_2 y d_3 están conectados al nivel 1 de solicitud del bus, de modo que d_1 es el más próximo al árbitro y d_3 es el más lejano. Los dispositivos d_4 y d_5 están conectados al nivel 2, siendo d_4 el conectado más próximo al árbitro. El nivel 2 tiene mayor prioridad de acceso al bus que el nivel 1. La fracción de la capacidad utilizada por los dispositivos d_1 , d_2 , d_3 , d_4 y d_5 es 0.2, 0.1, 0.15, 0.3 y 0.15 respectivamente. Indique cuál es la capacidad sobrante del dispositivo d_4 . (Nota: Se define la *capacidad sobrante* de un dispositivo como 1 menos la suma de las fracciones de las capacidades utilizadas por todos los dispositivos que tienen una prioridad superior).

A) 0.65

B) 0.50

C) 0.35

D) Ninguna de las anteriores