

Sep 98 - 2 Test

A la hora del diseño de un bus hay que considerar el "fan out".

"fan out" \Rightarrow n $^{\circ}$ mínimo de entradas a las que se puede conectar una salida.

Falso \Rightarrow n $^{\circ}$ máximo de entradas que se pueden conectar a una salida

"fan out" \Rightarrow depende de la tecnología de fabricación de los c.c. J.I.

Cierto

U

C

=

Junio 98 - 2S - 2 Test

En una arquitectura con bus:

I) La característica clave es que se trata de un medio de transmisión compartido \Rightarrow cierto

II) Tiene la ventaja de permitir ampliar el sistema fácilmente \Rightarrow cierto

U

a

=

Junio 98 - 1S - 2 Test

La multiplexación en el tiempo en un bus implica:

I) Aumento complejidad, disminuyendo n $^{\circ}$ líneas \Rightarrow cierto

II) Reducción del γ pq algunos sucesos no pueden tener lugar en paralelo \Rightarrow cierto

U

a

=

E.E.I.C.A

Junio - 2002 - 2º S - 6

Es cierto que los buses puedan ser compartidos por dispositivos de distintas velocidades \Rightarrow B

Junio - 2002 - 1º S - 7

En un bus de arbitraje distribuido:

- I) La posición de conexión de los dispositivos a la línea no determina la prioridad
- II) El uso del bus por un dispositivo se interrumpe cuando otro de mayor prioridad lo solicita

Los dos son falsos \Rightarrow D

Junio 2002 - 1º S - 1

Bus dedicado $\left\{ \begin{array}{l} \text{- Memoria ppal} \Rightarrow t_c = 400 \text{ nseg} \\ \text{- 5 discos} \Rightarrow \text{veloc. transfe} = B \end{array} \right.$

- Palabra 32 bits

- 500 nseg para enviar el dato

¿cuando estaría justificado bus síncrono?

$$400 \text{ nseg} \Rightarrow \frac{1}{400 \cdot 10^{-9}} = 25 \cdot 10^5 \text{ pal/seg}$$

\Downarrow

$$25 \cdot 10^5 \times 32 = 80 \cdot 10^6 \text{ bit/seg}$$

\Downarrow

si $B = 80 \cdot 10^6 \text{ bit/seg}$ los tiempos serían iguales en mem. ppal y discos \Rightarrow justifica bus síncrono

\Downarrow

D

E.EJC.2

Sep 2002 - 5 - Test

En un bus con "arbitraje distribuido":

- I) La posición de conexión de un dispositivo en la línea de arbitraje determina su prioridad en el uso
- II) No se requiere un árbitro

Las dos afirmaciones son ciertas \Rightarrow A

Sep 2002 - 7 - Test

Una CPU de 16 bits $\left\{ \begin{array}{l} 4 \text{ bits signi} \Rightarrow \text{Cod. operación} \\ 12 \text{ " mmsign} \Rightarrow \text{dirección} \end{array} \right.$

C.O.

- 0011 \Rightarrow (MEM) \rightarrow AC
- 0101 \Rightarrow (AC) \rightarrow Mem
- 0110 \Rightarrow (AC) + (Mem) \rightarrow AC

Programa que $(3A5) + (389) \rightarrow 3A5$

- 1°) (Mem) \rightarrow AC \Rightarrow $\overset{3}{0011} \ 3A5 \Rightarrow 33A5$
 - 2°) (AC) + (389) \rightarrow AC \Rightarrow $\overset{6}{0110} \ 389 \Rightarrow 6389$
 - 3°) (AC) \rightarrow 3A5 \Rightarrow $\overset{5}{0101} \ 3A5 \Rightarrow 53A5$
- $\left. \begin{array}{l} \text{1°)} \\ \text{2°)} \\ \text{3°)} \end{array} \right\} \Rightarrow A = \text{correcto}$

- 3389 \Rightarrow (MEM) \rightarrow AC \Rightarrow (389) \rightarrow AC
 - 63A5 \Rightarrow (AC) + (3A5) \rightarrow AC
 - 53A5 \Rightarrow (AC) \rightarrow 3A5
- $\left. \begin{array}{l} \text{3389} \\ \text{63A5} \\ \text{53A5} \end{array} \right\} \Rightarrow B = \text{correcto}$

C

Junio 2001 - 2^{ES} - 8 Test

I) Multiplex. en el tiempo de direcciones y datos se realiza colocando la dirección en el bus de direcciones y se mantiene mientras el dato se sitúa en el bus de datos.

Falso: 1^o la dirección se presenta en el bus y se almacena en un registro y luego se coloca el dato en el bus

En el μP el bus es "UNICO"

En el sistema: 1 bus de direcciones + 1 bus datos

II) Cuando las salidas de varias puertas triestado se conectan a una misma línea de un bus, solo una puede estar en alta impedancia:

Falso: Todas menos una en alta impedancia si quiere pasar el dato. Si no se quiere pasar ningún dato todas en alta impedancia