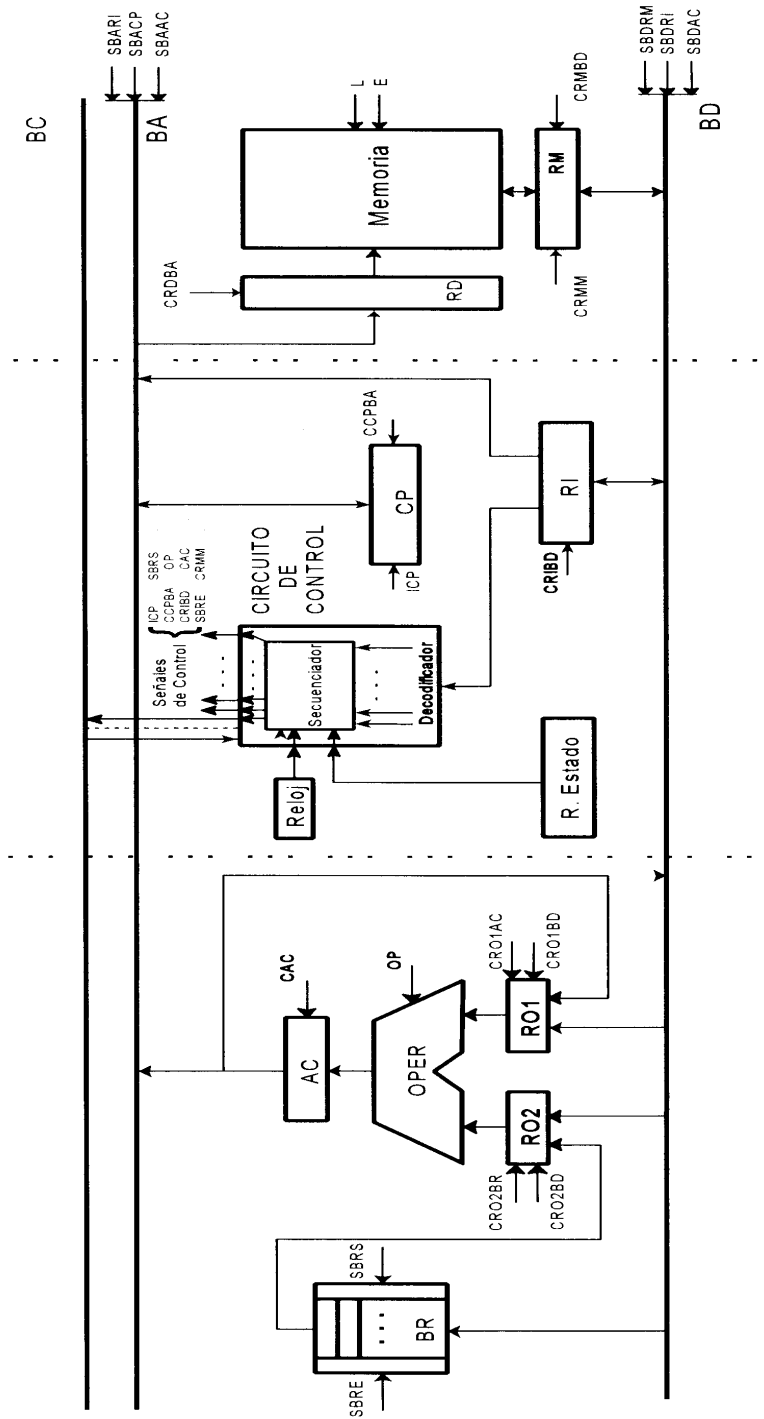


**EXAMENES DE ESTRUCTURA BASICA DE COMPUTADORES**  
**ESTRUCTURA DE UN COMPUTADOR EN EL LIBRO DE SISTEMAS**



mputador.

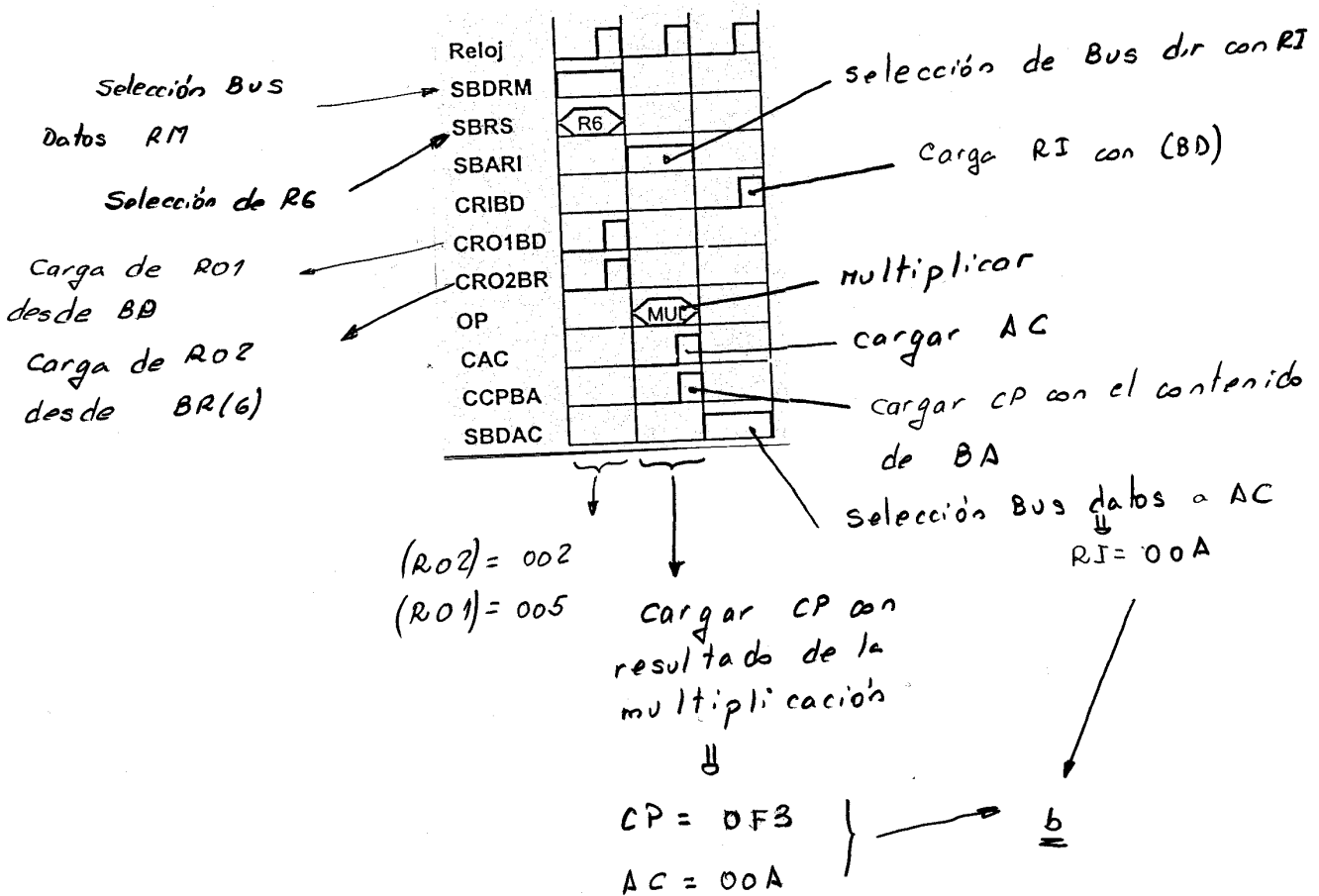
# Exámenes estructura básica de un computador. (Sistemas)

Sep 2002 - D5

Ancho de palabra de una memoria es la longitud del registro elemental de memoria  $\rightarrow$  a

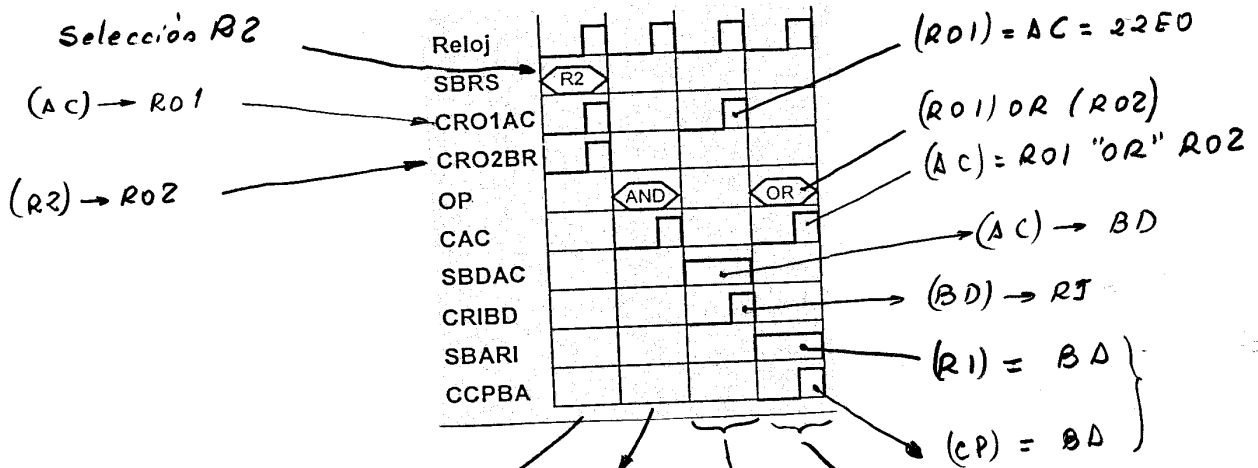
Sep 2002 - D 12

- 12) Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 12 bits) es en hexadecimal: (RM) = 005, (R6) = 002, (RI) = F30, (CP) = 0F3. A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:
- (CP) = 05F, (RI) = F30, (R6) = 002
  - (CP) = 0F3, (RI) = 00A, (AC) = 00A
  - (CP) = 03F, (RI) = F30, (AC) = F30
  - (CP) = F30, (RI) = 00A, (R6) = 002



12. Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal: (AC) = 2EE2, (R2) = 73F1, (CP) = 2728, (RI) = 0000. A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

- a) (AC) = 22E0, (RI) = 22E0, (CP) = 2728
- b) (AC) = 2EE2, (RI) = 20E0, (CP) = 2728
- c) (AC) = 73F1, (RI) = 22E0, (CP) = 22E0
- d) (AC) = 73F1, (RI) = 73F1, (CP) = 73F1



(R01) = 2EE2  
(R02) = 73F1

(R01) AND (R02)  
↓  
AC  
↓  
2EE2  
73F1

R01 = 22E0  
(BD) = 22E0  
(RI) = 22E0

(CP) = RI

AND

	0010	1110	1110	0010
	0111	0011	1111	0001
<hr/>				
	0010	0010	1110	0000
(AC) =	2	2	E	0

(CP) = 22E0  
(AC) = 73F1

R01 = 22E0 = 0010 0010 1110 0000  
R02 = 73F1 = 0111 0011 1111 0001

OR

	0111	0011	1111	0001
	7	3	F	1

⇓  
=

Feb 2002 - 1º S - A.7

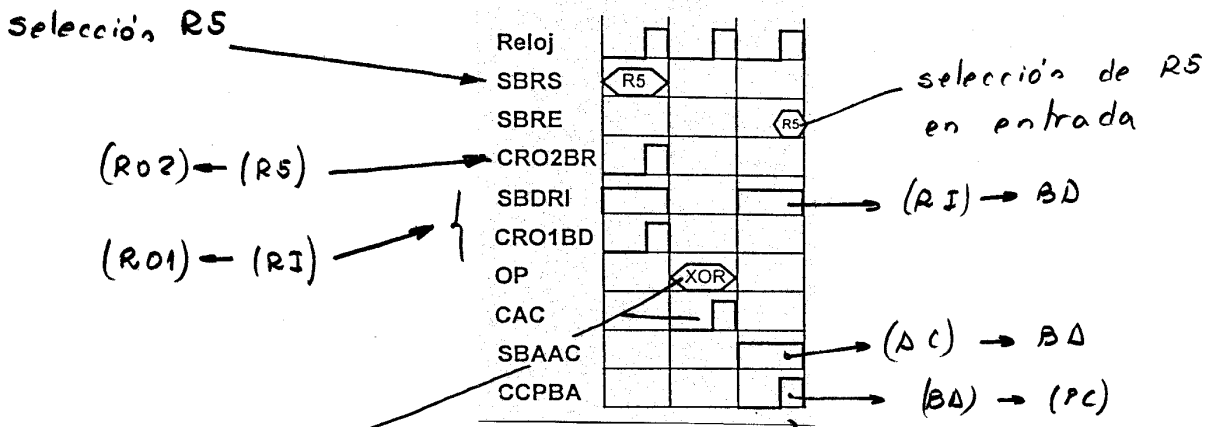
EIS por controlador de interfase no es un procedimiento básico para provocar una operación EIS

↓  
a

Feb 2002 - 1º S - A.11

11) Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:  $(R5) = 0FD3$ ,  $(R1) = FF33$ ,  $(CP) = F0DF$ . A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

- a)  $(R5) = 0FD3$ ,  $(R1) = FE33$ ,  $(CP) = FFF3$
- b)  $(R5) = FF33$ ,  $(R1) = FF33$ ,  $(CP) = F0E0$
- c)  $(R5) = FF33$ ,  $(R1) = F0E0$ ,  $(CP) = FF33$
- d)  $(R5) = 0FD3$ ,  $(R1) = F0E0$ ,  $(CP) = FF33$



$(R5) \text{ XOR } (R1) \rightarrow (A)$

$0FD3 =$	0000	1111	1101	0011
$FF33 =$	1111	1111	0011	0011
-----				
$\text{XOR} =$	1111	0000	1110	0000
$(AC) =$	F	0	E	0

$(R5) \leftarrow (R1)$   
 $(R5) = \underline{FF33}$   
 $(PC) \leftarrow (AC)$   
 $(PC) = \underline{F0E0}$

↓  
b

E.EBC.53

Sep 2001 - E3

La memoria de un computador es una agrupación de un gran número de registros de la misma longitud.  $\Rightarrow$  d

Sep 2001 - Orig - A.6

La unidad de ctrl de programa es la encargada de interpretar y secuenciar las instrucciones  $\Rightarrow$  b

Sep 2001 - Orig - A.9

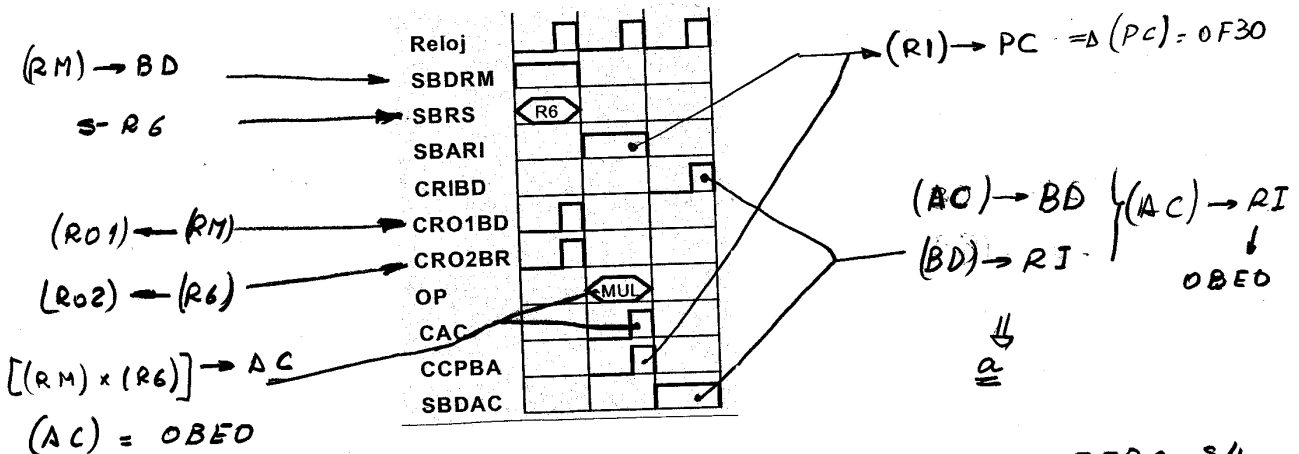
Las señales de selección se usan si un mismo elemento puede recibir información de más de un origen  $\Rightarrow$  b

Sep 2001 - Orig - A.13

13. Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:  $(RM) = 005F$ ,  $(R6) = 0020$ ,  $(RI) = 0F30$ ,  $(CP) = F300$ . A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

$\times$   $\begin{array}{r} 005F \\ 0020 \\ \hline 0BE0 \end{array}$

- a)  $(CP) = 0F30$ ,  $(RI) = 0BE0$ ,  $(R6) = 0020$
- b)  $(CP) = 005F$ ,  $(RI) = 0BE0$ ,  $(R6) = 0020$
- c)  $(CP) = F300$ ,  $(RI) = 0BE0$ ,  $(AC) = 007F$
- d)  $(CP) = 005F$ ,  $(RI) = 0F30$ ,  $(AC) = 0BE0$



Feb 2001 - 2º S - E. 9

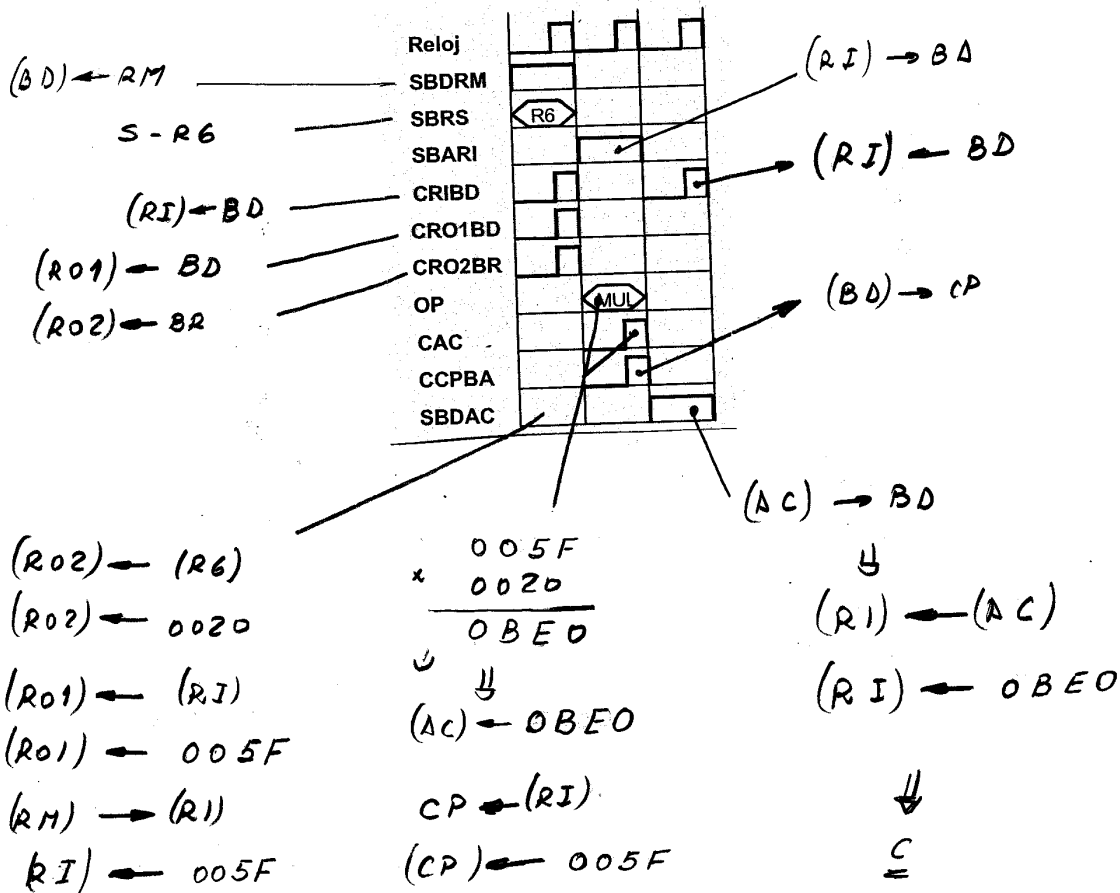
La puesta a 1  $\Rightarrow$  pone a 1 todos bits de un registro

$\Downarrow$   
C

Feb 2001 - 2º S - E. 14

14) Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:  $(RM) = 005F$ ,  $(R6) = 0020$ ,  $(RI) = 0F30$ ,  $(CP) = F300$ . A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

- a)  $(CP) = F300$ ,  $(RI) = 0BE0$ ,  $(R6) = 0020$
- b)  $(CP) = F300$ ,  $(RI) = 0BE0$ ,  $(AC) = 007F$
- c)  $(CP) = 005F$ ,  $(RI) = 0BE0$ ,  $(R6) = 0020$
- d)  $(CP) = 005F$ ,  $(RI) = 0F30$ ,  $(AC) = 0BE0$



Feb 2001 - 4<sup>a</sup> S - A.11

N<sup>o</sup> ciclos reloj para CLEARREGn

- Decodif. instr → 1 ciclo

- Acces. mem → 3 "

- Operación → 1 "

1<sup>o</sup> Fase búsqueda → 3 ciclos

2<sup>o</sup> Decodif → 1 "

3<sup>o</sup> Fase busq. para  
tomar el n<sup>o</sup> reg → 3 "

4<sup>o</sup> Ejecución → 1 "  
8 ciclos ⇒ 6

Sep 2000 - R - E. 4

La señal CRMM ⇒ Mem(RD) → RM ⇒ 2

Sep 2000 - A. 4

Es falso que el reg. datos de la mem. ppal  
no pueda contener direcciones de memoria ⇒ 5

Feb 2000 - 2<sup>o</sup>S - E.7

Es cierto que si un elemento de un computador puede recibir información de varias fuentes, necesitará ciertas señales de selección que gobiernan su carga  $\Rightarrow$   $\cong$

Feb 2000 - 2<sup>o</sup>S - E.15

Nº mínimo de palabras de una instrucción de 2 operandos, con una mem de 64 Kbytes, organizada en bytes.  $RJ = 8$  bits y ambos operandos tienen dir. absoluto.

64 Kbytes  $\Rightarrow$  16 bit bus direcciones

Anchura palabra = 8 bit

$\Downarrow$

Cada operando  $\Rightarrow$  2 dir. mem.

Instrucción  $\Rightarrow$  1 dir mem.

Instrucción	$\rightarrow$	1	dir mem	
OP1	$\rightarrow$	2	" "	
OP2	$\rightarrow$	2	" "	
		<hr/>		
		5	" "	$\Rightarrow$ <u>C</u>

E. EBC. 57



Feb 2000 - 1ª S - A.4

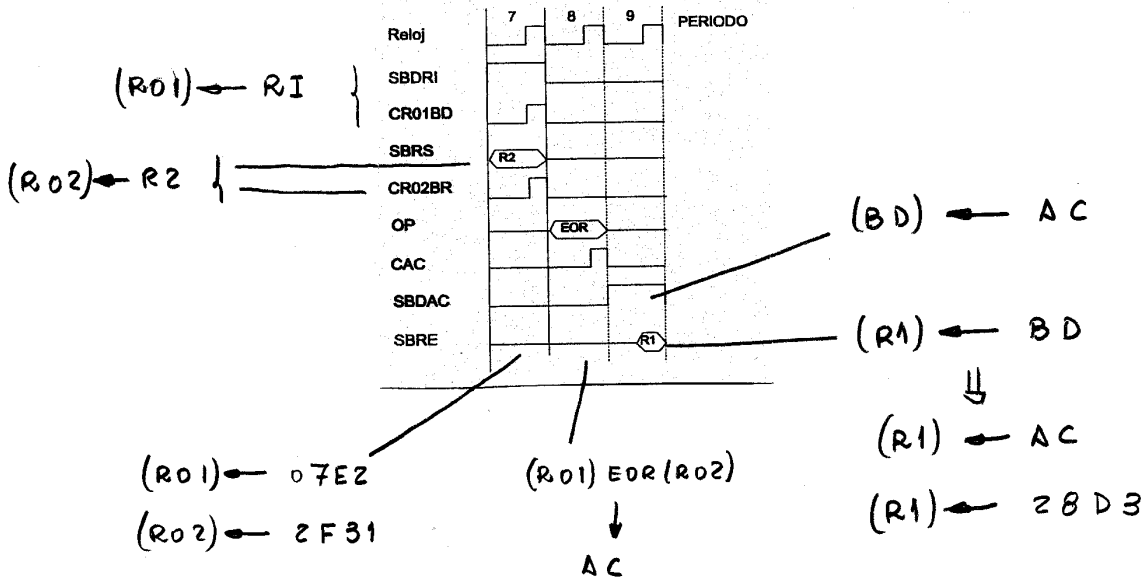
En un bus no se pueden transferir datos simultaneamente

⇓  
=

Feb 99 - 2ª S - E.14

14.- Para el computador ejemplo cuya estructura se describe en el Tema 7 de las Unidades Didácticas se ejecuta una instrucción cuya fase de ejecución (exceptuando la decodificación) aparece representada en el cronograma de la figura. Esta instrucción emplea la función EOR (O exclusiva), y utiliza los registros R1, R1 y R2 (estos últimos de la batería de registros) cuyos contenidos iniciales expresados en hexadecimal (supóngase que todos son de 16 bits) son: (R1) = 07E2, (R1) = 033F, (R2) = 2F31. Al final de la ejecución el contenido de los dos últimos registros es:

- A.- (R1) = 033F      (R2) = 28D3
- B.- (R1) = 07FF      (R2) = 2F31
- C.- (R1) = 28D3      (R2) = 2F31
- D.- (R1) = 2F31      (R2) = 07FF



(R01)    0000 0111 1110 0010  
 (R02)    0010 1111 0011 0001  
 -----  
 (AC) ← 2    8    0    3

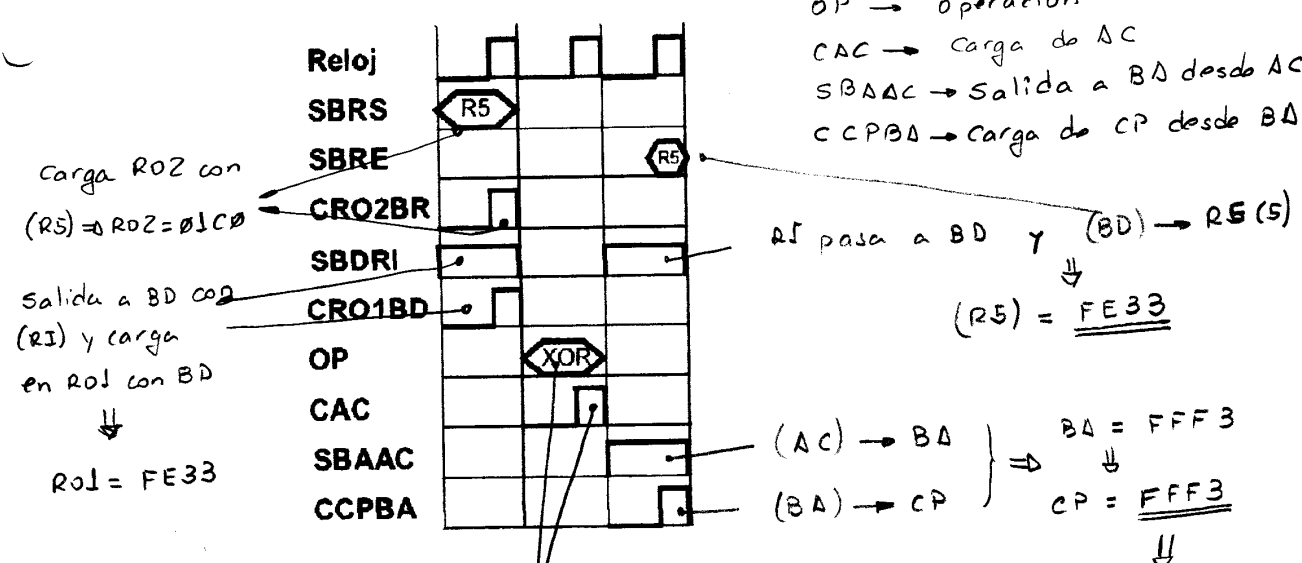
⇓  
=

E.EBC.SB

13. Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:  $(R5) = 01C0$ ,  $(R1) = FE33$ ,  $(CP) = F0DF$ . A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

- a)  $(R5) = FE33$ ,  $(R1) = FE33$ ,  $(CP) = FFF3$
- b)  $(R5) = FF33$ ,  $(R1) = FF33$ ,  $(CP) = F0E0$
- c)  $(R5) = FF33$ ,  $(R1) = F0E0$ ,  $(CP) = FF33$
- d)  $(R5) = 0FD3$ ,  $(R1) = F0E0$ ,  $(CP) = FF33$

$SBRS \rightarrow$  selec. Banco Reg. que sale  
 $SBRE \rightarrow$  " " " " entra  
 $CRO2BR \rightarrow$  Carga de R02 desde BR  
 $SBDR1 \rightarrow$  salida a BD desde R1  
 $CRO1BD \rightarrow$  Carga de R01 desde BD  
 $OP \rightarrow$  operación  
 $CAC \rightarrow$  carga de AC  
 $SBAAC \rightarrow$  salida a BA desde AC  
 $CCPBA \rightarrow$  carga de CP desde BA



XOR entre R01 y R02 y carga en AC

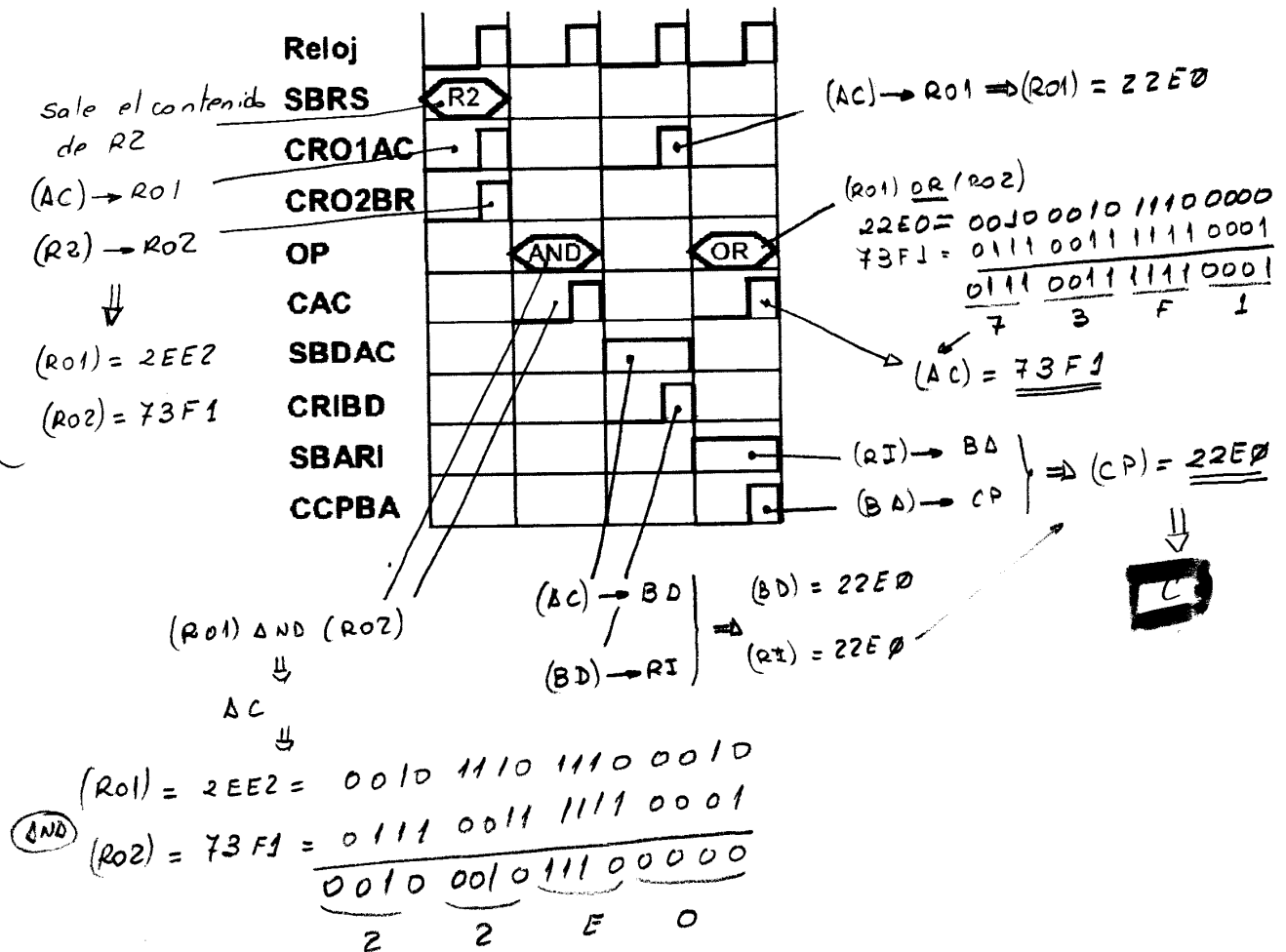
$$\begin{array}{r}
 01C0 = 0000\ 0001\ 1100\ 0000 \\
 FE33 = 1111\ 1110\ 0011\ 0011 \\
 \hline
 \text{(AC)} = \text{FFFF3}
 \end{array}$$



Septiembre 2003. D.14 (Nuevo)

14. Sea el computador elemental descrito en el texto base. En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:  $(AC) = 2EE2$ ,  $(R2) = 73F1$ ,  $(CP) = 2728$ ,  $(RI) = 0000$ . A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. El contenido de los registros al final de esta secuencia es:

- a)  $(AC) = 22E0$ ,  $(RI) = 22E0$ ,  $(CP) = 2728$
- b)  $(AC) = 2EE2$ ,  $(RI) = 20E0$ ,  $(CP) = 2728$
- c)  $(AC) = 73F1$ ,  $(RI) = 22E0$ ,  $(CP) = 22E0$
- d)  $(AC) = 73F1$ ,  $(RI) = 73F1$ ,  $(CP) = 73F1$



Septiembre 2003. A.2 (Nuevo)

Indicar cual de las siguientes letras no designa a alguno de los bits que forman parte del registro de código de

condición → Y ⇒  C

Septiembre 2003 A.7 (Nuevo)

cuál de los siguientes elementos principales de un computador digital es el encargado de interpretar y secuenciar las

instrucciones: la unidad de control →  C

Septiembre 2003. E.2 (Nuevo) Reserva

Misión del biestable N del registro de estado:

Se pone a 1 si el resultado del último valor calculado fue negativo →  B

Septiembre 2003. E.4 (Nuevo) Reserva

Acercas del M68000 NO ES CIERTO QUE:

El registro D7 recibe el nombre de SP →  C

Septiembre 2003. E.5 (Nuevo) Reserva

El elemento encargado de interpretar y secuenciar instrucciones es: la unidad de control →  B