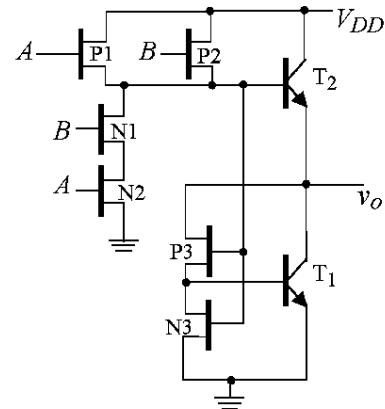


No se permite el uso de NINGÚN MATERIAL ni de CALCULADORA. La hoja de lectura óptica del reverso es simplemente para consignar sus datos personales.

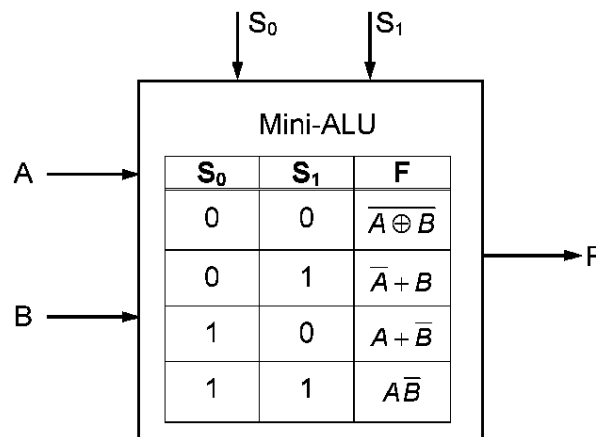
**1. Puerta NAND en BiCMOS:**

La figura adjunta muestra el circuito de una puerta NAND en BiCMOS, explique su funcionamiento especificando y justificando, para cada una de las configuraciones de las entradas, A y B, el estado de todos y cada uno de los transistores (MOS y Bipolares).

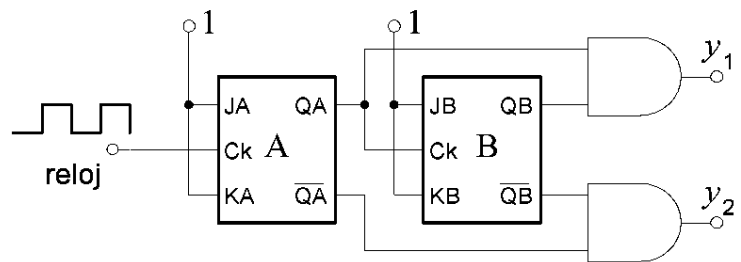


**2. Lógica Programable:**

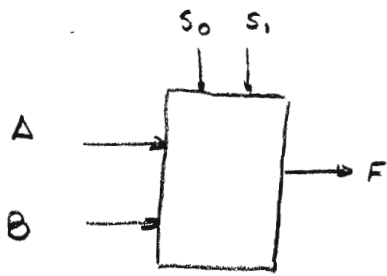
- 2.1. Dibuje el esquema general de la Lógica Programable (PLD) y explique el principio de su funcionamiento.
- 2.2. Explique las diferencias y analogías entre los tres tipos de arquitecturas básicas (PROM, PAL y PLA).
- 2.3. Diseñe, usando Lógica Programable, una "mini-ALU" que realice las 4 funciones lógicas de la tabla adjunta sobre los dos bits de entradas, A y B, y de acuerdo con los valores de las señales de control  $S_0$  y  $S_1$ . Para su implementación deberá elegir la arquitectura de PLD más adecuada y justificar su elección.



3. Analice el circuito de la figura adjunta obteniendo el diagrama de transición de estados del autómata correspondiente y dibuje las formas de onda en las salidas de los biestables,  $Q_A$  y  $Q_B$  y en las salidas  $y_1$  e  $y_2$  durante seis pulsos sucesivos del reloj.



2.3)



$S_0$	$S_1$	$F$
0	0	$\overline{A \oplus B}$
0	1	$\overline{A} + B$
1	0	$A + \overline{B}$
1	1	$A \overline{B}$

m	$S_0$	$S_1$	A	B	F
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	0

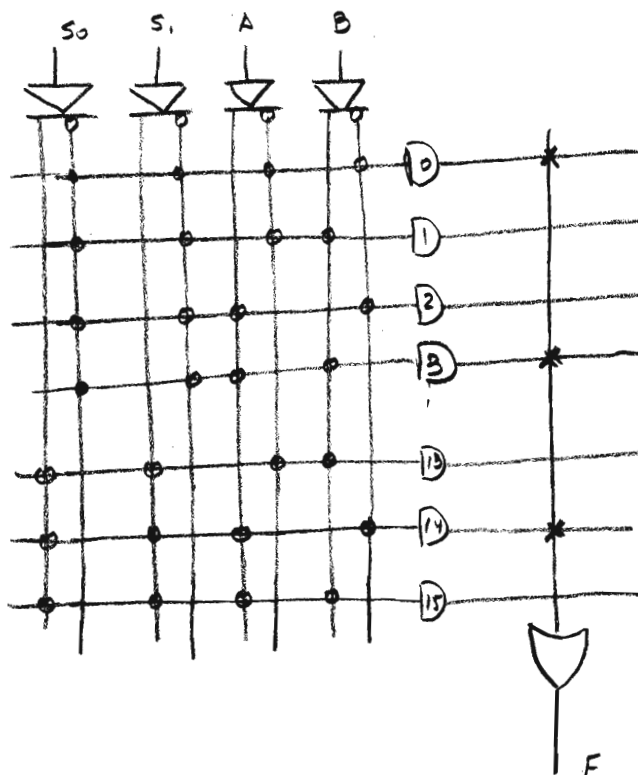
$\overline{A \oplus B}$

$\overline{A} + B$

$A + \overline{B}$

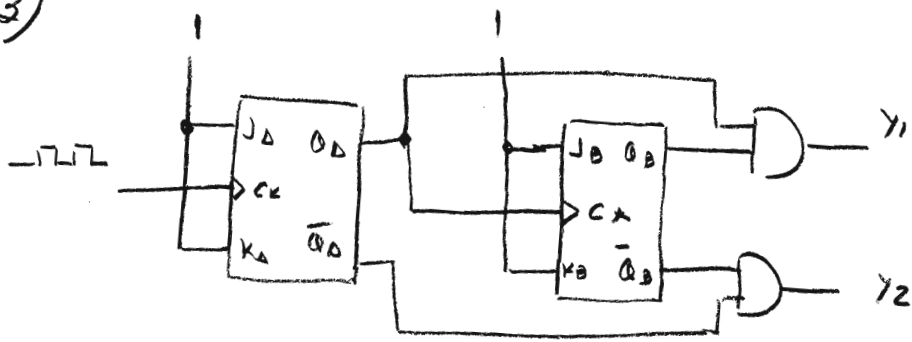
$A \overline{B}$

si podrían buscar simplificaciones para usar una PAL o una PLA. Pero el sistema más sencillo es usar una ROM



Uniones sin fundir en las puertas:  
0, 3, 4, 5, 7, 8, 10, 11, 14

3)



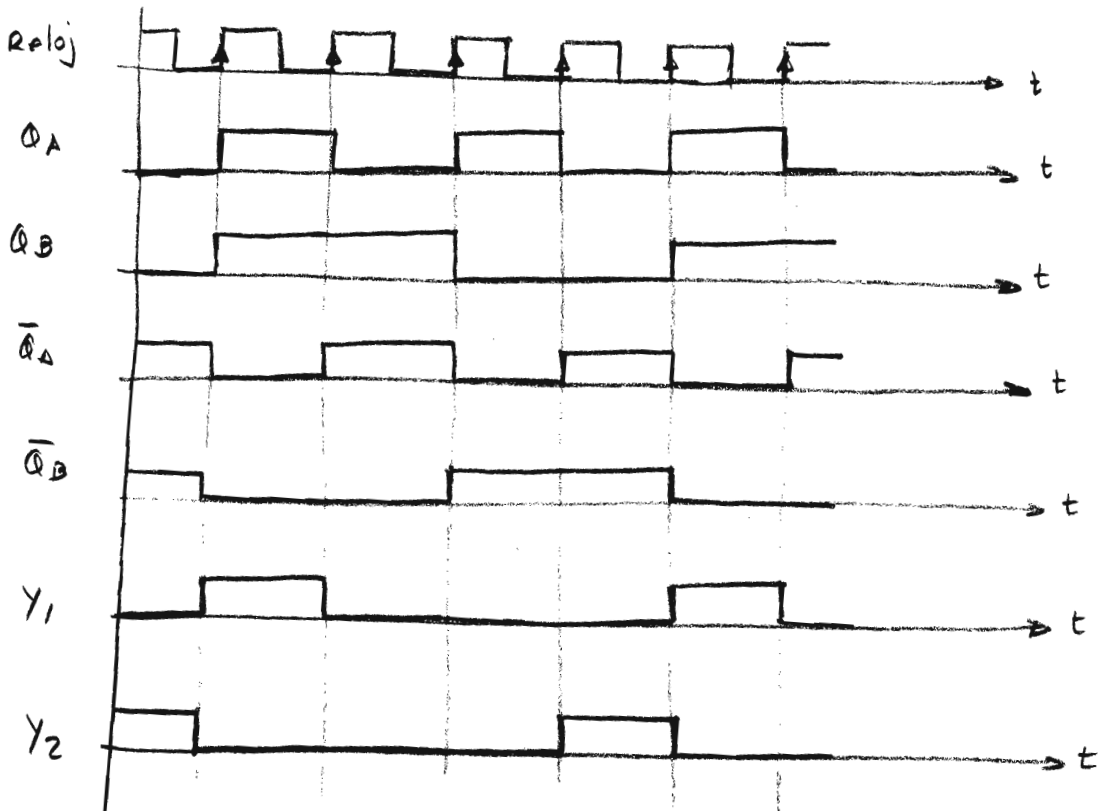
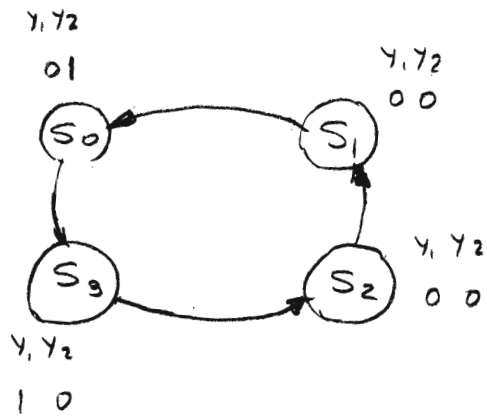
A simple vista se aprecia que es un contador asincrono de 2 bits.

$$Y_1 = Q_A \cdot Q_B$$

$$Y_2 = \bar{Q}_A \cdot \bar{Q}_B$$

Estados 4  $\Rightarrow$

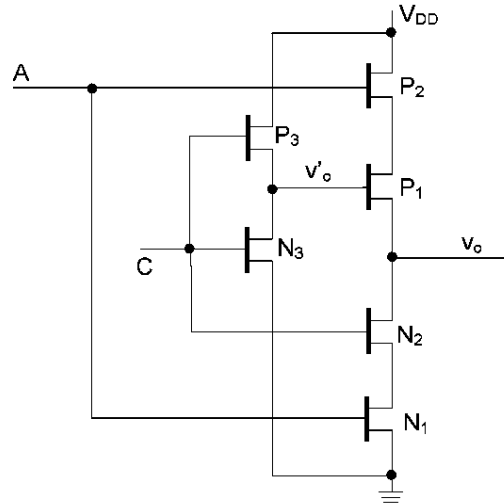
$Q_B$	$Q_A$	$Y_1$	$Y_2$
0	0	0	1
0	1	0	0
1	0	0	0
1	1	1	0



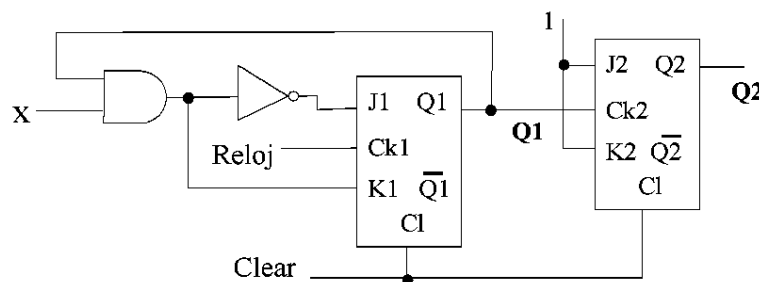
No se permite el uso de NINGÚN MATERIAL ni de CALCULADORA. La hoja de lectura óptica del reverso es simplemente para consignar sus datos personales.

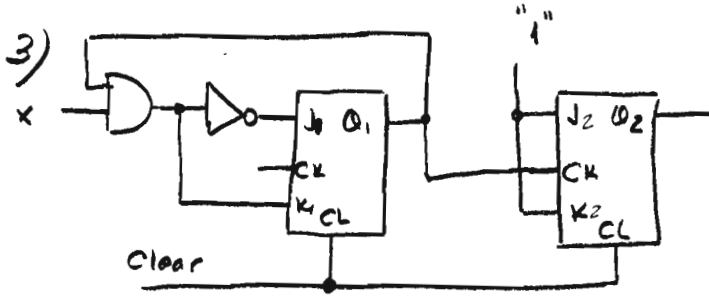
## 1. Inversor en Tecnología CMOS:

- 1.1. Explique su funcionamiento a través de las curvas características.
- 1.2. Analice el circuito CMOS de la figura adjunta especificando y justificando el estado de cada uno de los transistores para cada una de las configuraciones de entrada.
- 1.3. ¿Qué función lógica realiza?. (Le puede servir de ayuda si considera que el hecho de que un transistor esté cortado equivale a que presenta alta impedancia)



2. Dibuje el circuito de un Biestable J-K sincronizado a niveles con puertas, explique su funcionamiento construyendo su tabla de verdad completa y obtenga la expresión lógica de su salida  $Q_{n+1}$  (o lo que es lo mismo  $Q(t+\Delta t)$ ) en función de J, K y  $Q_n$  (o bien  $Q(t)$ ).
3. El circuito de la figura adjunta corresponde a un autómatas finito de 4 estados, dos salidas que coinciden con las variables de estado,  $Q_1$  y  $Q_2$ , y una entrada, x. (La función de la señal de Clear es únicamente para poner inicialmente los biestables a cero).
  - 3.1. Analice dicho circuito obteniendo las expresiones de J1, K1, Q1 y Q2. Para ello debe usar la expresión lógica del biestable J-K obtenida en el apartado anterior.
  - 3.2. Dibuje el diagrama de transición de estados de dicho autómatas a partir de las expresiones obtenidas en el apartado anterior.





x	J <sub>1</sub>	K <sub>1</sub>	Q <sub>1</sub>	Q <sub>n+1</sub>
0	1	0	0	1
1	1	0	0	1
0	1	0	1	1
1	0	1	1	0

$J_1 = \overline{x Q_1}$        $K_1 = x Q_1$

Al haber una inversión

		$\overline{Q_1}$		$Q_1$	
		$\overline{x}$	$x$	$\overline{x}$	$x$
J <sub>1</sub>	J	x	x	x	x
	$\overline{J}$	1	1	x	1
K <sub>1</sub>	J	x	x	x	x
	$\overline{J}$	x	x	0	x

No importa pq no pueden ser iguales debido a la inversión

no pueden valer las dos "0" ni las dos "1"

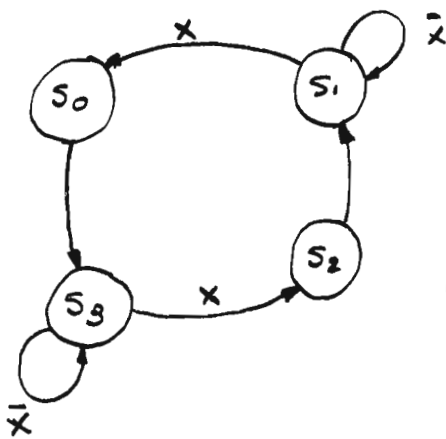
Si la x y la Q = 1 No puede ser que K = 0

Si  $x=0 \Rightarrow K=0$

Si  $Q_1=0 \Rightarrow K=0$

$Q_1 = \overline{K_1} \Rightarrow K_1 = x Q_1 \Rightarrow \overline{K_1} = \overline{x Q_1} = J_1$

$Q_2 =$  bascula asincrona  $\Rightarrow$  bascula con cada flanco ascendente de  $Q_1$



	$Q_2$	$Q_1$
$S_0 =$	0	0
$S_1 =$	0	1
$S_2 =$	1	0
$S_3 =$	1	1

Estando en  $S_0 \Rightarrow J_1=1, K_1=0 \Rightarrow Q_1=1 \Rightarrow Q_2=1=S_3$

" "  $S_3 \Rightarrow x=0 \Rightarrow J_1=1 \Rightarrow Q_1=1 \Rightarrow Q_2=1=S_3$

" "  $S_3 \Rightarrow x=1 \Rightarrow J_1=0, K_1=1 \Rightarrow Q_1=0$  y  $Q_2$  igual  $\Downarrow$   $S_2$

" "  $S_2 \Rightarrow J_1=1, K_1=0 \Rightarrow Q_1=1 \Rightarrow Q_2=0=S_1$

" "  $S_1 \Rightarrow x=0 \Rightarrow J_1=1, K_1=0 \Rightarrow Q_1=1$  y  $Q_2=1$  igual  $\Downarrow$   $S_1$

" "  $S_1 \Rightarrow x=1 \Rightarrow J_1=0, K_1=1 \Rightarrow Q_1=0$  y  $Q_2=0$  igual  $\Downarrow$   $S_0$

1)

Poniendo  $C=1 \Rightarrow N_2$  y  $N_3$  conducen y  $P_3$  corta

$N_3$  al conducir provoca que  $P_1$  conduzca  
 $\Downarrow$

$P_1$  y  $N_2$  conducen  $\Rightarrow$  habilitan la función lógica compuesta por  $P_2$  y  $N_1$

Poniendo  $C=0 \Rightarrow N_2$  corta ;  $P_3$  conduce y provoca que  $P_1$  se corte .

Al estar  $N_2$  y  $P_1$  cortados inhabilitan la función compuesta por  $P_2$  y  $N_1$ .

$\Downarrow$   $C =$  patilla de habilitación con  $C=1$

$\rightarrow$  Si  $C=1$   $\Rightarrow P_1$  y  $N_2$  conducen

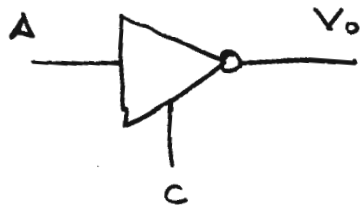
Poniendo  $A=1 \Rightarrow N_1$  conduce y  $P_2$  se corta  $\Rightarrow V_0=0$

"  $A=0 \Rightarrow N_1$  corta y  $P_2$  conduce  $\Rightarrow V_0=1$

$\Downarrow$

Inversora

$\Downarrow$



**NO SE PERMITE EL USO DE MATERIAL COMPLEMENTARIO NI CALCULADORA. LA HOJA DE LECTURA ÓPTICA DEL REVERSO ES SÓLO PARA CONSIGNAR SUS DATOS PERSONALES.**

1. Diseñe los siguientes circuitos:

1.1 Semirrestador.

1.2 Restador completo.

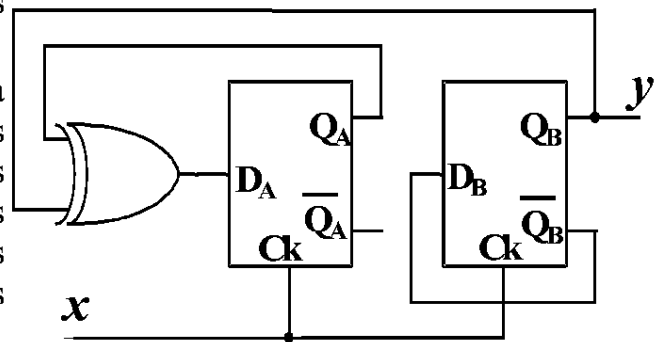
1.3 Restador paralelo para dos palabras de dos bits ( $A_1A_0$  y  $B_1B_0$ ) y con acarreo adelantado (considere  $A_0$  y  $B_0$  los bits menos significativos).

Recuerde que para realizar los dos primeros diseños debe obtener las expresiones de la sustracción y del acarreo a partir de las correspondientes tablas de verdad. Para el tercer diseño debe partir de las ecuaciones del restador completo y expresarlas en función de las señales interna de *generación de acarreo*,  $G_i$ , y de la de *propagación del acarreo*,  $P_i$  (para cada bit).

2. Analice el circuito de la figura adjunta y obtenga el autómata finito equivalente. Para ello debe seguir los siguientes pasos:

2.1 Obtener las expresiones de las variables de estado y de la señal de salida.

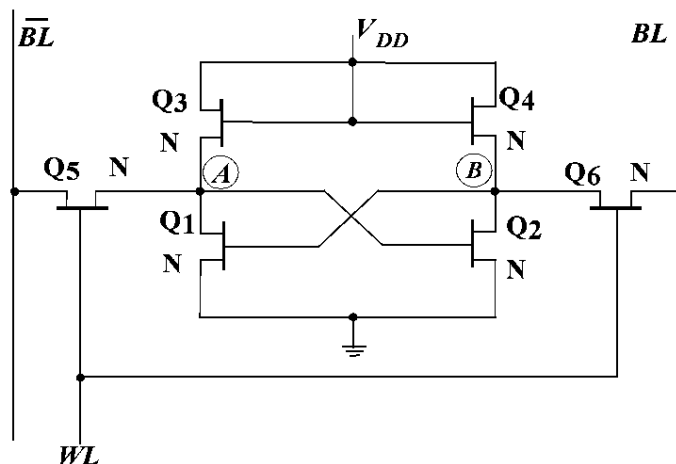
2.2 A partir de estas ecuaciones construir la tabla que especifica su funcionamiento. Es decir, partiendo de todas las posibles configuraciones de la entrada y de los estados iniciales obtener los estados finales y la salida a que dan lugar dichas ecuaciones.



2.3 Dibujar el diagrama de transición de estados.

2.4 Dibujar un cronograma para 7 pulsos de reloj (entrada x).

3 La figura adjunta corresponde a una celda RAM estática en tecnología NMOS. Explique su funcionamiento (direccionamiento, escritura y lectura) para el caso concreto de, primero escribir un "0" y después leerlo, especificando en cada caso los valores que debe poner o que obtiene en cada uno de los terminales así como el estado en el que se encuentra cada uno de los transistores NMOS.

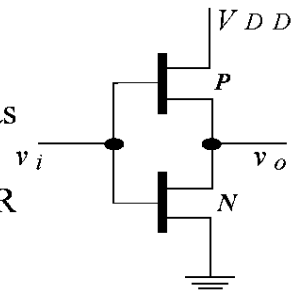


**NO SE PERMITE EL USO DE MATERIAL COMPLEMENTARIO NI CALCULADORA. LA HOJA DE LECTURA ÓPTICA DEL REVERSO ES SÓLO PARA CONSIGNAR SUS DATOS PERSONALES.**

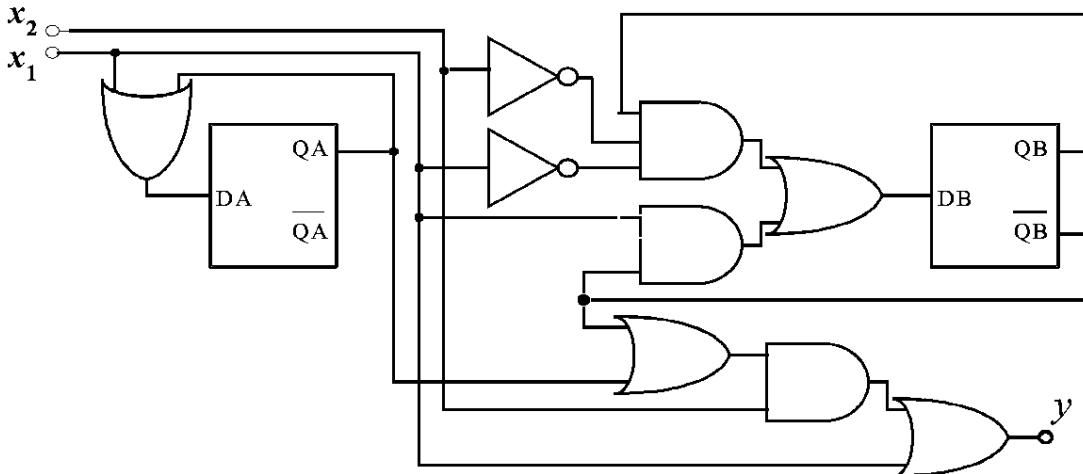
1 La figura adjunta muestra el circuito Inversor Básico en CMOS.

1.1 Explicar su funcionamiento a través de sus curvas características.

1.2 Circuitos y funcionamiento de las puertas NAND y NOR de dos entradas en CMOS.



2 Analizar el circuito de la figura y obtener el autómata finito equivalente en forma de diagrama de transición de estados.



3 La figura adjunta muestra el esquema de un temporizador tipo 555, en el que no se han completado las conexiones externas. ¿Podría completarla para que funcione en *modo monoestable* y explicar su funcionamiento, incluyendo el cálculo de la duración del pulso?.

