

1. Diseñe los siguientes circuitos:

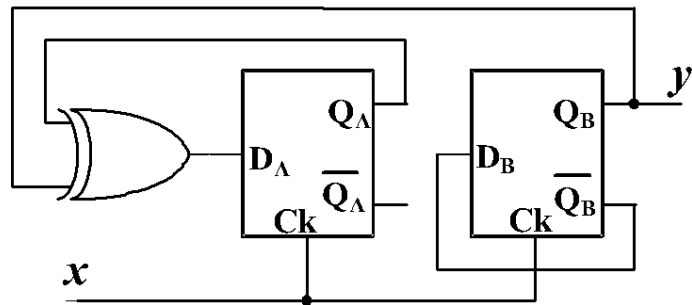
- 1.1. Semirrestador
- 1.2. Restador completo
- 1.3. Restador paralelo para dos palabras de dos bits ( $A_1A_0$  y  $B_1B_0$ ) y con acarreo adelantado (considere  $A_0$  y  $B_0$  los bits menos significativos).

Recuerde que para realizar los dos primeros diseños debe obtener las expresiones de la sustracción y del acarreo a partir de las correspondientes tablas de verdad. Para el tercer diseño debe partir de las ecuaciones del restador completo y expresarlas en función de las señales interna de *generación de acarreo*,  $G_i$ , y de la de *propagación del acarreo*,  $P_i$  (para cada bit).

2. Analice el circuito de la figura adjunta y obtenga el autómata finito equivalente. Para ello debe seguir los siguientes pasos:

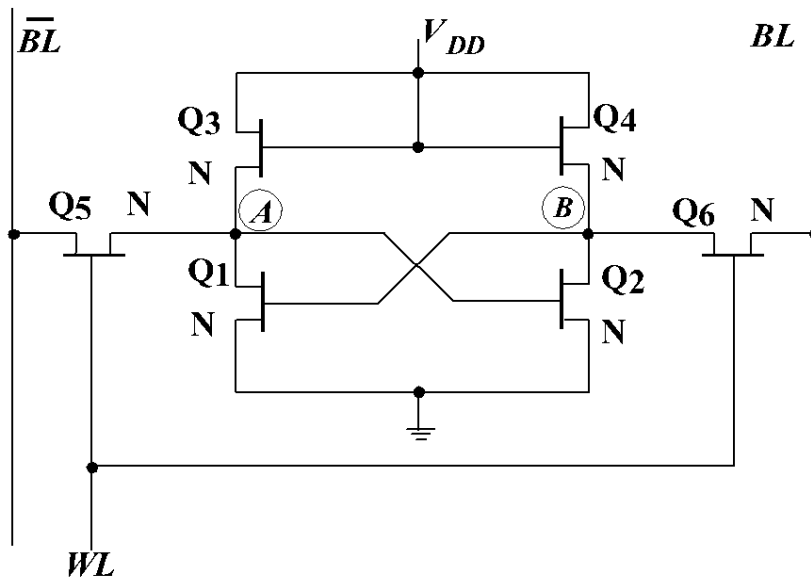
- a) Obtener las expresiones de las variables de estado y de la señal de salida.
- b) A partir de estas ecuaciones construir la tabla que especifica su funcionamiento. Es decir,

partiendo de todas las posibles configuraciones de la entrada y de los estados iniciales obtener los estados finales y la salida a que dan lugar dichas ecuaciones.



- c) Dibujar el diagrama de transición de estados.
- d) Dibujar un cronograma para 7 pulsos de reloj (entrada x).

3. La figura adjunta corresponde a una celda RAM estática en tecnología NMOS. Explique su funcionamiento (direccionamiento, escritura y lectura) para el caso concreto de, primero escribir un "0" y después leerlo, especificando en cada caso los valores que debe poner o que obtiene en cada uno de los terminales así como el estado en el que se encuentra cada uno de los transistores NMOS.



NO se permite el uso de CALCULADORA, NI de material auxiliar

1. Arquitecturas PLAs:

1.1. Describa su fundamento lógico como módulo universal de diseño de funciones combinacionales y dibuje el circuito correspondiente a una PLA de dos entradas ( $x_1, x_0$ ) y dos salidas ( $f_1, f_0$ )

1.2. Use esta PLA para la síntesis de las funciones:

$$f_0(x_1, x_0) = \Sigma m(0,3) \text{ (considere } x_0 \text{ el bit menos significativo).}$$

$$f_1(x_1, x_0) = \Sigma m(1,2)$$

2. Diseñe usando biestables D y puertas lógicas un circuito secuencial de 8 estados (un autómata finito) de acuerdo con las siguientes especificaciones funcionales:

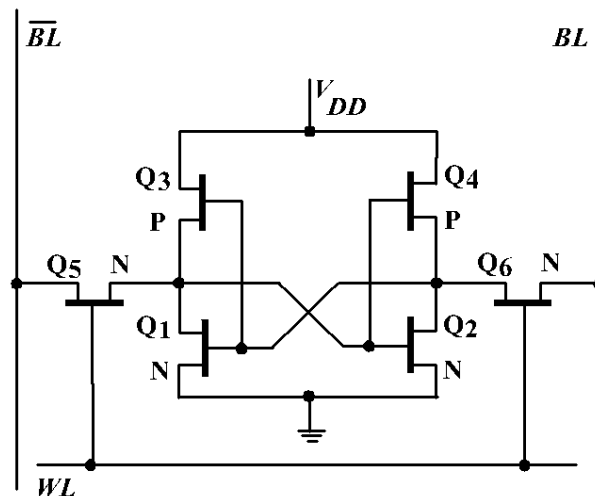
(1) Cuando la entrada de control,  $x(t)$ , está en baja, el circuito cuenta hacia arriba los pulsos del reloj de dos en dos. Es decir, sigue la secuencia  $S_i, S_{i+2}, S_{i+4}, \dots$

(2) Inversamente, cuando  $x(t)$  está en alta cuenta también de dos en dos, pero ahora hacia abajo. Es decir, sigue la secuencia  $S_j, S_{j-2}, S_{j-4}, \dots$

Recuerde que debe seguir el procedimiento general de diseño de autómatas finitos siguiendo de forma explícita los siguientes pasos:

- a) Asignar las variables de entrada y de estado.
- b) Obtener el diagrama de transición de estados.
- c) Obtener las matrices de transición de estados y la matriz funcional.
- d) Dibujar el circuito correspondiente.

3. La figura adjunta corresponde a una celda RAM estática en tecnología CMOS. Explique su funcionamiento (direccionamiento, escritura y lectura) para el caso concreto de, primero escribir un "1", y después leerlo, especificando en cada caso los valores que debe poner o que obtiene en cada uno de los terminales así como el estado en el que se encuentra cada uno de los transistores.



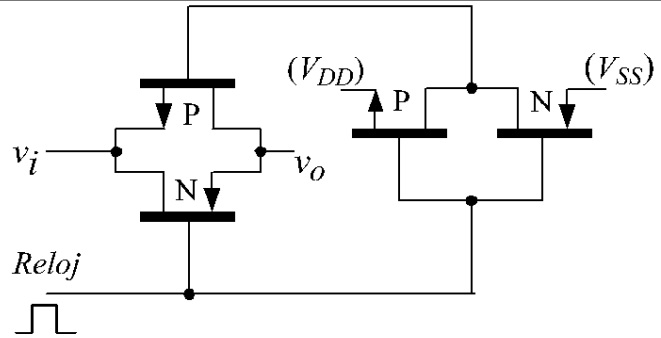
# I.T. Informática de Sistemas: Electrónica Digital. Septiembre 2006 (ORIGINAL)

NO se permite el uso de CALCULADORA, NI de material auxiliar.

La hoja de lectura óptica del reverso es simplemente para consignar sus datos personales. Por favor entréguela.

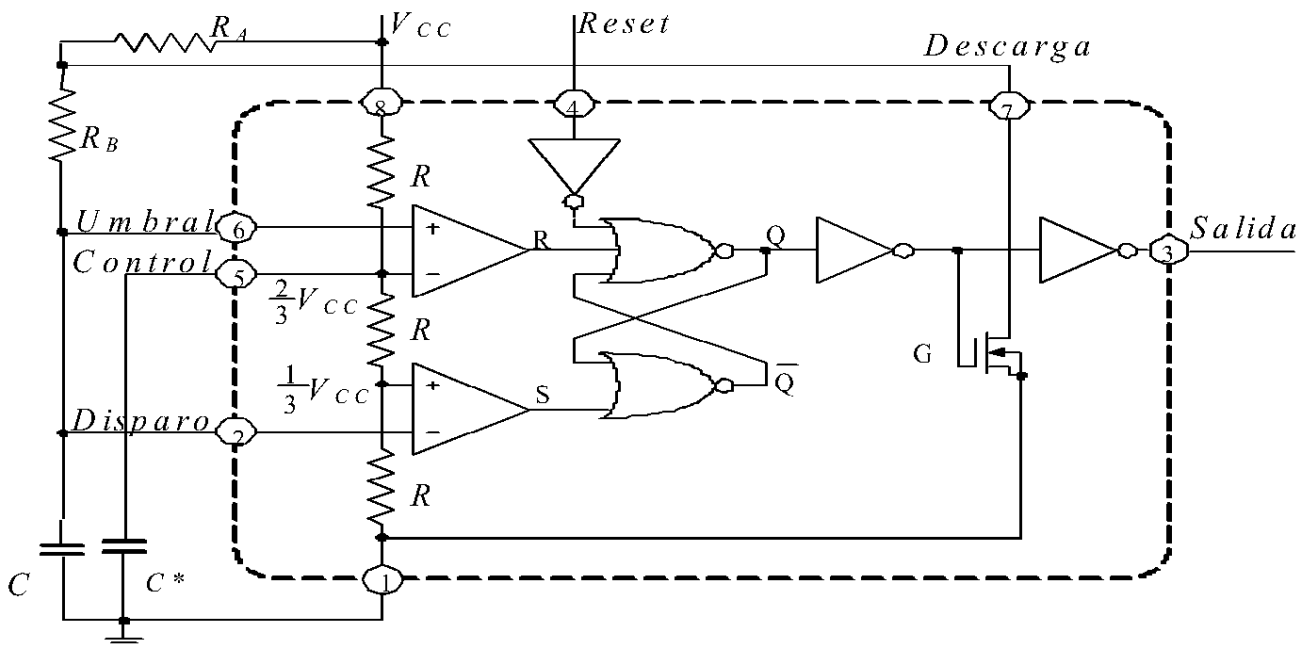
1. El circuito de la figura adjunta es un **Conmutador bilateral en tecnología CMOS**:

- 1.1. Explique el principio de funcionamiento de la puerta de transmisión.
- 1.2. ¿Qué ventaja tiene el uso de una puerta de transmisión en lugar de un único transistor NMOS?.
- 1.3. Explique el funcionamiento de dicho conmutador bilateral.



2. **Detector de Paridad:**

- 2.1. Diseñe un detector de paridad de 4 bits y dibuje el circuito correspondiente.
  - 2.2. A partir de este circuito construya un módulo funcional básico para usarlo en el diseño modular de detectores de paridad, añadiéndole las puertas necesarias de forma que este nuevo módulo nos sirva para el diseño de detectores de paridad de n palabras de 4 bits, ahora ya sin necesidad de añadirle ninguna puerta adicional. Es decir, conectando sólo módulos de este tipo.
  - 2.3. Dibuje un detector de paridad de 2 palabras de 4 bits usando este módulo básico y explique su funcionamiento.
3. La figura adjunta corresponde al esquema interno un **circuito de tiempo tipo 555** configurado para funcionar en **modo astable**.
- 3.1. Explique su funcionamiento.
  - 3.3. Calcule las expresiones de los tiempos en los que la señal de salida está en alta y en baja, así como la del periodo de dicha señal..
3. ¿Qué tendría que añadirle a este circuito y en dónde para que la señal de salida sea un tren de pulsos simétricos?. Es decir, para que el tiempo que dicha señal está en alta sea igual al tiempo que está en baja?. ¿Por qué?.



Duración: 2 horas

NO se permite el uso de CALCULADORA, NI de material auxiliar

La hoja de lectura óptica del reverso es simplemente para consignar sus datos personales. Por favor entréguela.

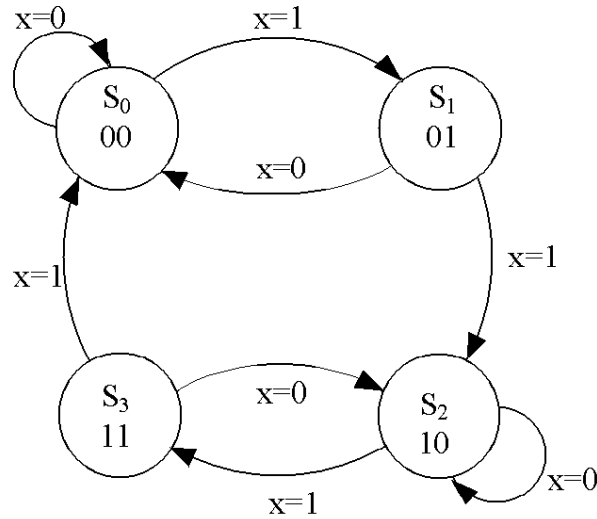
1. Circuitos selectores de datos (multiplexos):

1.1. Concepto de multiplexo.

1.2. Aplicarlo al diseño a dos niveles (usando multiplexos de 4 entradas a 1 salida) de la siguiente

función lógica:  $f_2(x, y, z, u, v) = x \bar{y} z \bar{u} v + \bar{x} y \bar{z} u \bar{v} + x \bar{z} (u + v)$

2. Explique los pasos a seguir en el procedimiento general de síntesis de circuitos secuenciales con PLDs y biestables D.. Aplíquelo al autómata descrito por el siguiente diagrama de transición de estados:



3. Memorias SRAM:

3.1. Organización

3. Explique el funcionamiento de las celdas SRAM de la figura .

