

# INGENIERÍA DE COMPUTADORES 3

## Trabajo Práctico - Septiembre 2019

### INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 10 de septiembre.
- El alumno debe entregar un fichero comprimido, en formato zip, rar o tar, que contenga:
  - o Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
  - o Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

## CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

## PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria extraordinaria de 2019.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

**EJERCICIO 1 (3 PUNTOS)**

Se desea diseñar un circuito digital que implemente las funciones F1 y F2 cuyas tablas de verdad se muestran a continuación, que dependen de las tres variables a, b y c:

a	b	c	F1	F2
'0'	'0'	'0'	'0'	'0'
'0'	'0'	'1'	'0'	'0'
'0'	'1'	'0'	'1'	'0'
'0'	'1'	'1'	'1'	'1'
'1'	'0'	'0'	'1'	'0'
'1'	'0'	'1'	'1'	'0'
'1'	'1'	'0'	'1'	'0'
'1'	'1'	'1'	'1'	'1'

- 1.a) (0.25 puntos) Obtenga las funciones lógicas F1 y F2 a partir de la tabla de verdad. Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas a, b y c, y dos salidas F1 y F2.
- 1.b) (0.75 puntos) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (0.25 punto) Dibuje el diagrama de un circuito que implemente estas funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (0.75 puntos) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (1 punto) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 1.b y 1.d. Compruebe mediante inspección visual que los dos diseños funcionan correctamente. Incluya en la memoria los dos cronogramas obtenidos al realizar la simulación del banco de pruebas para comprobar los circuitos diseñados en los Apartados 1.b y 1.d.

**EJERCICIO 2 (7 PUNTOS)**

Se pretende diseñar un circuito combinacional que tiene una señal de entrada  $X$  de 5 bits y una señal de salida  $Y$  de 5 bits. El bit  $i$  ( $i = 0, \dots, 4$ ) de la señal  $Y$  ( $Y_i$ ) tiene el valor '1' sólo si la cadena de bits  $X_0X_1 \dots X_{i-1}X_i$  es igual que la cadena de bits  $X_iX_{i-1} \dots X_1X_0$ . En caso contrario, el valor del bit  $i$  de la señal  $Y$  ( $Y_i$ ) es '0'.

Por ejemplo, si la señal de entrada tiene el valor "01100" la señal de salida toma el valor "00011".  $Y_0$  tiene valor '1', ya que  $X_0 = X_0$ .  $Y_1$  tiene valor '1', ya que  $X_1X_0 = X_0X_1$ .  $Y_2$  tiene valor '0', ya que  $X_2X_1X_0 \neq X_0X_1X_2$ .  $Y_3$  tiene valor '0', ya que  $X_3X_2X_1X_0 \neq X_0X_1X_2X_3$ .  $Y_4$  tiene valor '0', ya que  $X_4X_3X_2X_1X_0 \neq X_0X_1X_2X_3X_4$ .

- 2.a)** (0.5 puntos) Escriba en VHDL la **entity** del circuito combinacional. Las señales de entrada y salida del circuito han de ser del tipo `std_logic_vector` y tener la dimensión y los nombres especificados en el enunciado.
- 2.b)** (2 puntos) Escriba en VHDL la **architecture** que describe el comportamiento del circuito empleando un bloque **process** y sentencias **if**.
- 2.c)** (1 punto) Escriba en VHDL la **architecture** que describe el comportamiento del circuito empleando únicamente sentencias de asignación concurrente.
- 2.d)** (2 puntos) Dibuje el diagrama del circuito al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.

Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.

- 2.e)** (1.5 puntos) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, las salidas de los circuitos diseñados en los Apartados 2.b, 2.c y 2.d. El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas.

Compruebe que los tres diseños funcionan correctamente. Incluya en la memoria los tres cronogramas obtenidos al realizar la simulación del banco de pruebas para comprobar los circuitos diseñados en los Apartados 2.b, 2.c y 2.d.