

INGENIERÍA DE COMPUTADORES 3

Trabajo Práctico - Junio 2021

INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 16 de abril.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
 - Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
 - Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria ordinaria de 2021.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

EJERCICIO 1

Se desea diseñar un circuito digital que implemente las funciones F1 y F2 cuya tabla de verdad se muestra a continuación, que dependen de las tres variables x, y y z:

x	y	z	F1	F2
'0'	'0'	'0'	'0'	'0'
'0'	'0'	'1'	'1'	'0'
'0'	'1'	'0'	'0'	'0'
'0'	'1'	'1'	'0'	'1'
'1'	'0'	'0'	'1'	'0'
'1'	'0'	'1'	'1'	'1'
'1'	'1'	'0'	'1'	'1'
'1'	'1'	'1'	'1'	'1'

- 1.a) (0.5 puntos) Obtenga las funciones lógicas F1 y F2 a partir de la tabla de verdad. Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas x, y y z, y dos salidas F1 y F2.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (1 punto) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (0.5 puntos) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, la salida del circuito cuya **entity** ha especificado en el Apartado 1.a. Emplee dicho banco de pruebas para comprobar mediante inspección visual que los dos diseños de los Apartado 1.b y 1.d funcionan correctamente. Incluya en la memoria los dos cronogramas obtenidos al realizar la simulación del banco de pruebas usando en un caso como circuito de test el circuito de Apartado 1.b y en el otro caso el circuito del Apartado 1.d.

EJERCICIO 2

Se quiere programar en VHDL un circuito combinacional que tiene dos señales de entrada de 8 bits llamadas X e Y, una señal de entrada de dos bits llamada sel, una señal de entrada de un bit llamada E y una señal de salida de 9 bits llamada NUM1.

El circuito ha de comportarse del modo siguiente. Si el valor de la señal E es '0', la señal de salida NUM1 tiene valor cero. Si el valor de la señal E es '1', el valor de la señal de salida NUM1 depende de los valores de las señales de entrada X, Y y sel.

La señal de entrada sel determina las operaciones que se realizan empleando los valores de las señales de entrada X e Y, cuyo resultado determina el valor de la señal de salida NUM1.

Si el valor de la señal sel es "00" y el valor de la señal E es '1', el valor de la señal de salida NUM1 es igual al número de unos existentes en las señales de entrada X e Y. Por ejemplo, si la señal X tiene valor "00000001" y la señal Y tiene valor "00000110", entonces la señal NUM1 tiene como valor el número tres en su representación binaria con signo.

Si el valor de la señal sel es "01" y el valor de la señal E es '1', la señal de salida NUM1 tiene como valor el número de las señales de entrada X e Y que son pares, considerando el valor cero como par. De este modo, si ambas señales son pares el valor de la señal NUM1 es dos ("000000010"). Si ninguna de estas dos señales es par, entonces la señal NUM1 tiene valor cero ("000000000"). Por último, si sólo una de estas dos señales es par, entonces la señal NUM1 tiene valor uno ("000000001").

Si el valor de la señal sel es "10" y el valor de la señal E es '1', la señal de salida NUM1 tiene en el bit más significativo un valor '0' ($\text{NUM1}(8) \leq '0'$) y el valor del resto de bits son el resultado de la operación and lógica de las señales de entrada X e Y ($\text{NUM1}(7 \text{ downto } 0) \leq X \text{ and } Y$).

Si el valor de la señal sel es "11" y el valor de la señal E es '1', la señal de salida NUM1 tiene como valor el resultado de la suma de las señales de entrada X e Y, considerando que las señales NUM1, X e Y representan números binarios con signo.

- 2.a)** (3 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento del circuito combinacional empleando sólo un bloque **process** y sentencias secuenciales. Los nombres de los puertos de la **entity** deber ser los mismos que se han especificado para las señales de entrada y salida del circuito. Emplee el convenio de especificar en primer lugar la señal de salida del circuito y posteriormente las señales de entrada. El número de bits de las señales X, Y y NUM1 se ha de expresar como constante del tipo **generic**.
- 2.b)** (3 puntos) Programe en VHDL un banco de pruebas que testee todas las posibles entradas al circuito diseñado en el Apartado 2.a.

El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. El banco de pruebas debe mostrar al final del test un mensaje con el número total de errores detectados.

Incluya en la memoria los cronogramas obtenidos al realizar la simulación del banco de pruebas del circuito diseñado en el Apartado 2.a.