

# INGENIERÍA DE COMPUTADORES 3

## Trabajo Práctico - Junio 2020

### INSTRUCCIONES

- El trabajo práctico debe realizarse de manera individual. No puede realizarse en grupo. Por ello, se penalizará cualquier uso compartido de las soluciones propuestas y de los códigos programados.
- El trabajo debe entregarse a través del curso virtual de la asignatura en la plataforma Alf.
- La fecha límite de entrega es el día 16 de abril.
- El alumno debe entregar un fichero comprimido, en formato zip o tar, que contenga:
  - o Una memoria en la cual explique la solución a los ejercicios, incluyendo los listados documentados del código VHDL desarrollado. Este documento deberá estar en formato pdf.
  - o Los ficheros del código VHDL solución a los ejercicios.

El nombre del fichero comprimido debe ser la concatenación de los apellidos y nombre del alumno. Por ejemplo, GomezMartinLuisa.zip

## CRITERIOS DE EVALUACIÓN DEL TRABAJO

- Para que el trabajo pueda ser corregido, es imprescindible que el alumno entregue dentro del plazo establecido un fichero comprimido que contenga tanto la memoria en formato pdf, como el código VHDL de los ejercicios que haya realizado.
- El trabajo se compone de 2 ejercicios con varios apartados. En el enunciado se indica la puntuación de cada apartado.
- Para aprobar el trabajo es necesario que la suma de la nota obtenida en los dos ejercicios sea igual o mayor que 5.
- Si el código VHDL solución de un apartado tiene uno o varios errores de compilación, o no tiene la funcionalidad pedida, dicho apartado se valorará con cero puntos.
- Si el código solución de un apartado compila sin errores y tiene la funcionalidad pedida, la puntuación en dicho apartado será al menos el 80 % de la nota del apartado.
- Se valorará positivamente la adecuada documentación del código, así como la presentación y calidad de las explicaciones proporcionadas en la memoria.

## PROCEDIMIENTO DE EVALUACIÓN EN ESTA ASIGNATURA

Para aprobar la asignatura es necesario aprobar el trabajo y aprobar el examen.

Plantaremos un trabajo para la convocatoria ordinaria (junio) y otro diferente para la convocatoria extraordinaria (septiembre). Este trabajo que está leyendo corresponde a la convocatoria ordinaria de 2020.

La nota obtenida en la convocatoria ordinaria en el trabajo y en el examen se guarda para la convocatoria extraordinaria. Es decir:

- Si un alumno aprueba el trabajo de la convocatoria ordinaria y no aprueba el examen, se le guarda la nota del trabajo para la convocatoria extraordinaria. Es decir, no debe hacer el trabajo de la convocatoria extraordinaria.
- Si un alumno no entrega o suspende el trabajo en convocatoria ordinaria, pero sí aprueba el examen en convocatoria ordinaria, entonces se le guarda la nota del examen para la convocatoria extraordinaria, debiendo aprobar el trabajo de la convocatoria extraordinaria para superar la asignatura.

La nota del trabajo y del examen no se guarda de un curso para otro.

**EJERCICIO 1**

Se desea diseñar un circuito digital que implemente las funciones F1 y F2 cuya tabla de verdad se muestra a continuación, que dependen de las tres variables x, y y z:

x	y	z	F1	F2
'0'	'0'	'0'	'0'	'0'
'0'	'0'	'1'	'0'	'0'
'0'	'1'	'0'	'0'	'0'
'0'	'1'	'1'	'0'	'1'
'1'	'0'	'0'	'0'	'1'
'1'	'0'	'1'	'1'	'1'
'1'	'1'	'0'	'1'	'1'
'1'	'1'	'1'	'1'	'1'

- 1.a) (0.5 puntos) Obtenga las funciones lógicas F1 y F2 a partir de la tabla de verdad. Escriba en VHDL la **entity** del circuito que implemente las dos funciones lógicas. Es decir, que tenga tres entradas x, y y z, y dos salidas F1 y F2.
- 1.b) (1 punto) Escriba en VHDL la **architecture** que describa el *comportamiento* del circuito.
- 1.c) (1 punto) Dibuje el diagrama de un circuito que implemente estas dos funciones lógicas al nivel de puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.
- 1.d) (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.
- 1.e) (0.5 puntos) Escriba en VHDL un banco de pruebas que permita visualizar, para todos los posibles valores de las entradas, la salida del circuito cuya **entity** ha especificado en el Apartado 1.a. Emplee dicho banco de pruebas para comprobar mediante inspección visual que los dos diseños de los Apartado 1.b y 1.d funcionan correctamente. Incluya en la memoria los dos cronogramas obtenidos al realizar la simulación del banco de pruebas usando en un caso como circuito de test el circuito de Apartado 1.b y en el otro caso el circuito del Apartado 1.d.

## EJERCICIO 2

Se quiere programar en VHDL un circuito combinacional que tiene una señal de entrada de  $2^{n-1}$  bits llamada  $X$  y dos señales de salida, la señal de 1 bit llamada  $ERROR$  y la señal de  $n$  bits llamada  $CUENTA$ .

El circuito ha de comportarse del modo siguiente. Determina si la señal de entrada  $X$  no tiene ningún cero ó tiene una única serie consecutiva de ceros. En ese caso, la señal  $ERROR$  ha de tener valor '0' y la señal  $CUENTA$  tiene como valor el número de ceros, en representación binaria sin signo, de la única secuencia de ceros encontrada en la señal de entrada. Por el contrario, si hay más de una secuencia de ceros, el valor de la señal  $ERROR$  es '1' y la señal  $CUENTA$  tiene el valor cero en binario.

En la siguiente tabla se pueden ver algunos valores del circuito para el caso en que  $n = 4$ .

X	ERROR	CUENTA
"00000000"	'0'	"1000"
"00111000"	'1'	"0000"
"11000111"	'0'	"0011"
"11111111"	'0'	"0000"

- 2.a) (2 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento del circuito combinacional empleando sólo un bloque **process** y sentencias secuenciales. Los nombres de los puertos de la **entity** deber ser los mismos que se han especificado para las señales de entrada y salida del circuito. Se ha de declarar  $n$  como una constante de tipo **generic**. El diseño ha de ser válido para cualquier valor de  $n$ .

- 2.b)** (1 punto) Deduzca las tablas de verdad correspondientes a las señales de entrada y salida del circuito para un valor de  $n = 3$ . Entonces, obtenga las funciones lógicas correspondientes y escriba en VHDL la **architecture** del circuito combinacional que describe el funcionamiento del circuito empleando dichas funciones lógicas.

Dibuje el diagrama de un circuito que implemente las señales de salida empleando puertas lógicas. No es necesario que el circuito esté simplificado. A continuación, escriba en VHDL la **entity** y la **architecture** de cada una de las puertas lógicas que componen el circuito que acaba de dibujar.

- 2.c)** (1 punto) Escriba en VHDL una **architecture** que describa la *estructura* del circuito que ha dibujado, instanciando y conectando las puertas lógicas que ha diseñado anteriormente.

- 2.d)** (2 puntos) Programe en VHDL un banco de pruebas que testee el circuito diseñado en los Apartados 2.a, 2.b y 2.c para el caso en que el valor de  $n$  sea 3. Compruebe el funcionamiento del circuito únicamente para los siguientes valores de la señal de entrada: "0000", "0001", "0110", "1010", "1110" y "1111". El banco de pruebas debe comparar las salidas de la UUT con las salidas esperadas, mostrando el correspondiente mensaje de error en caso de que las salidas obtenidas de la UUT no correspondan con las esperadas. Incluya en la memoria los cronogramas obtenidos al realizar la simulación del banco de pruebas de los circuitos diseñados en los Apartados 2.a, 2.b y 2.c.