

# ÍNDICE

|  |           |
|--|-----------|
| <b>Índice</b>  | <b>5</b>  |
| <b>Listado de código VHDL</b>                            | <b>13</b> |
| <b>Prefacio</b>  | <b>21</b> |
| <b>1 Fundamentos del diseño del hardware digital</b>     | <b>25</b> |
| 1.1 Introducción . . . . .                               | 29        |
| 1.2 Lenguajes para la descripción de hardware . . . . .  | 30        |
| 1.2.1 Usos de un programa HDL . . . . .                  | 31        |
| 1.2.2 HDL más ampliamente usados . . . . .               | 31        |
| 1.3 Ciclo de diseño de los circuitos digitales . . . . . | 32        |
| 1.4 Tecnologías de circuitos integrados . . . . .        | 34        |
| 1.4.1 Clasificación de las tecnologías . . . . .         | 34        |
| 1.4.2 Comparación entre tecnologías . . . . .            | 38        |
| 1.5 Propiedades de los circuitos digitales . . . . .     | 42        |
| 1.5.1 Retardo de los dispositivos . . . . .              | 42        |
| 1.5.2 Ejecución concurrente . . . . .                    | 44        |
| 1.5.3 Diseños marginales . . . . .                       | 45        |
| 1.5.4 Fortaleza de las señales . . . . .                 | 45        |
| 1.6 Test de los circuitos . . . . .                      | 46        |
| 1.6.1 Test en manufactura . . . . .                      | 47        |
| 1.6.2 Test funcional . . . . .                           | 49        |

|          |  |           |
|----------|--|-----------|
| 1.6.3    | Programas de test funcional . . . . .                      | 49        |
| 1.6.4    | Banco de pruebas . . . . .                                 | 51        |
| 1.7      | Representaciones y niveles de abstracción . . . . .        | 52        |
| 1.7.1    | Representación del sistema . . . . .                       | 52        |
| 1.7.2    | Niveles de abstracción . . . . .                           | 53        |
| 1.7.3    | VHDL en el flujo de desarrollo . . . . .                   | 57        |
| 1.8      | Conceptos básicos a través de un ejemplo . . . . .         | 58        |
| 1.8.1    | Comportamiento al nivel de funciones lógicas . . . . .     | 59        |
| 1.8.2    | Descripción de la estructura . . . . .                     | 64        |
| 1.8.3    | Descripción abstracta del comportamiento . . . . .         | 66        |
| 1.8.4    | Banco de pruebas . . . . .                                 | 69        |
| 1.8.5    | Configuración . . . . .                                    | 71        |
| 1.9      | Simulación de código VHDL a través de un ejemplo . . . . . | 72        |
| 1.9.1    | Diseño de un buffer triestado . . . . .                    | 72        |
| 1.9.2    | Diseño del banco de pruebas . . . . .                      | 73        |
| 1.10     | Lecturas recomendadas . . . . .                            | 75        |
| 1.11     | Ejercicios de autocomprobación . . . . .                   | 76        |
| 1.12     | Soluciones de los ejercicios . . . . .                     | 80        |
| <b>2</b> | <b>Conceptos básicos de VHDL</b>                           | <b>83</b> |
| 2.1      | Introducción . . . . .                                     | 87        |
| 2.2      | Unidades de diseño . . . . .                               | 87        |
| 2.3      | Entity . . . . .   | 89        |
| 2.3.1    | Cláusula port . . . . .                                    | 90        |
| 2.3.2    | Cláusula generic . . . . .                                 | 91        |
| 2.3.3    | Declaraciones . . . . .                                    | 93        |
| 2.3.4    | Sentencias . . . . .                                       | 93        |
| 2.3.5    | Resumen de la sintaxis de la entity . . . . .              | 93        |
| 2.4      | Architecture . . . . .                                     | 94        |

|        |  |     |
|--------|--|-----|
| 2.5    | Asignaciones concurrentes . . . . .                      | 95  |
| 2.5.1  | Asignaciones concurrentes simples . . . . .              | 96  |
| 2.5.2  | Asignaciones concurrentes condicionales . . . . .        | 98  |
| 2.5.3  | Asignaciones concurrentes de selección . . . . .         | 102 |
| 2.5.4  | Sensibilidad de las sentencias concurrentes . . . . .    | 105 |
| 2.6    | Sentencia generate . . . . .                             | 106 |
| 2.6.1  | Sentencia generate iterativa . . . . .                   | 106 |
| 2.6.2  | Sentencia generate condicional . . . . .                 | 107 |
| 2.7    | Bloque process . . . . .                                 | 107 |
| 2.7.1  | Sentencias wait . . . . .                                | 109 |
| 2.7.2  | Lista de sensibilidad . . . . .                          | 111 |
| 2.8    | Código secuencial . . . . .                              | 113 |
| 2.8.1  | Asignación secuencial a una señal . . . . .              | 113 |
| 2.8.2  | Asignación secuencial a una variable . . . . .           | 114 |
| 2.8.3  | Sentencia if . . . . .                                   | 115 |
| 2.8.4  | Sentencia case . . . . .                                 | 119 |
| 2.8.5  | Bucle for . . . . .                                      | 123 |
| 2.9    | Descripción de la estructura . . . . .                   | 125 |
| 2.9.1  | Diseños con estructura regular . . . . .                 | 130 |
| 2.10   | Parametrización . . . . .                                | 133 |
| 2.10.1 | Parametrización del comportamiento . . . . .             | 133 |
| 2.10.2 | Parametrización de la estructura . . . . .               | 133 |
| 2.11   | Señales, variables y constantes . . . . .                | 134 |
| 2.12   | Tipos de datos y operadores . . . . .                    | 136 |
| 2.12.1 | Tipos predefinidos en VHDL . . . . .                     | 137 |
| 2.12.2 | Tipos del paquete IEEE.std_logic_1164 . . . . .          | 140 |
| 2.12.3 | Operadores sobre bit_vector y std_logic_vector . . . . . | 144 |
| 2.12.4 | Tipos del paquete IEEE.numeric_std . . . . .             | 147 |

|          |   |            |
|----------|---|------------|
| 2.12.5   | Tipos time y string . . . . .   | 153        |
| 2.12.6   | Tipos definidos por el usuario . . . . .                                  | 153        |
| 2.13     | Atributos . . . . .   | 156        |
| 2.14     | Librerías . . . . .   | 157        |
| 2.15     | Assert . . . . .  | 159        |
| 2.16     | Subprogramas . . . . .  | 159        |
| 2.16.1   | Funciones . . . . .   | 159        |
| 2.16.2   | Procedimientos . . . . .  | 161        |
| 2.16.3   | Diferencias entre funciones y procedimientos . . . . .                    | 164        |
| 2.17     | Paquetes . . . . .  | 165        |
| 2.18     | Lecturas recomendadas . . . . .   | 166        |
| 2.19     | Ejercicios de autocomprobación . . . . .                                  | 168        |
| 2.20     | Soluciones de los ejercicios . . . . .                                    | 175        |
| <b>3</b> | <b>Simulación del código VHDL</b>   | <b>189</b> |
| 3.1      | Introducción . . . . .  | 193        |
| 3.2      | Procesamiento del código VHDL . . . . .                                   | 194        |
| 3.3      | Orden de compilación . . . . .  | 195        |
| 3.4      | Drivers . . . . .   | 196        |
| 3.5      | Inicialización . . . . .  | 199        |
| 3.5.1    | Ejemplo: señal con un driver . . . . .                                    | 200        |
| 3.5.2    | Ejemplo: señal con dos drivers . . . . .                                  | 201        |
| 3.6      | Atributos de las señales . . . . .  | 204        |
| 3.7      | El retardo delta . . . . .  | 205        |
| 3.8      | Gestión de la cola de transacciones del driver . . . . .                  | 209        |
| 3.8.1    | Ejemplo: simulación de formas de onda con retardo inercial . . . . .      | 209        |
| 3.8.2    | Ejemplo: simulación de formas de onda con retardo de transporte . . . . . | 212        |
| 3.9      | Ejemplo: simulación de un circuito sencillo . . . . .                     | 214        |

|          |  |            |
|----------|--|------------|
| 3.10     | Lecturas recomendadas . . . . .                        | 217        |
| 3.11     | Ejercicios de autocomprobación . . . . .               | 218        |
| 3.12     | Soluciones de los ejercicios . . . . .                 | 229        |
| <b>4</b> | <b>Diseño de lógica combinacional</b>                  | <b>263</b> |
| 4.1      | Introducción . . . . .                                 | 267        |
| 4.2      | Diseño para síntesis de lógica combinacional . . . . . | 267        |
| 4.2.1    | Empleo de sentencias concurrentes . . . . .            | 268        |
| 4.2.2    | Empleo de bloques process . . . . .                    | 270        |
| 4.3      | Funciones lógicas . . . . .                            | 271        |
| 4.3.1    | Diseño del circuito . . . . .                          | 271        |
| 4.3.2    | Programación del banco de pruebas . . . . .            | 273        |
| 4.4      | Multiplexor de 4 entradas . . . . .                    | 275        |
| 4.4.1    | Diseño usando sentencias secuenciales . . . . .        | 275        |
| 4.4.2    | Diseño usando sentencias concurrentes . . . . .        | 279        |
| 4.5      | Restador completo de 1 bit . . . . .                   | 281        |
| 4.5.1    | Descripción del comportamiento . . . . .               | 281        |
| 4.5.2    | Descripción de la estructura . . . . .                 | 283        |
| 4.5.3    | Programación del banco de pruebas . . . . .            | 286        |
| 4.6      | Sumador completo de 1 bit . . . . .                    | 291        |
| 4.6.1    | Diseño del circuito . . . . .                          | 292        |
| 4.6.2    | Banco de pruebas . . . . .                             | 294        |
| 4.7      | Unidad aritmético lógica . . . . .                     | 296        |
| 4.7.1    | Diseño de la ALU . . . . .                             | 296        |
| 4.7.2    | Programación del banco de pruebas . . . . .            | 298        |
| 4.8      | Lecturas recomendadas . . . . .                        | 302        |
| 4.9      | Ejercicios de autocomprobación . . . . .               | 303        |
| 4.10     | Soluciones de los ejercicios . . . . .                 | 310        |

|          |  |            |
|----------|--|------------|
| <b>5</b> | <b>Registros y memorias</b>                                | <b>341</b> |
| 5.1      | Introducción . . . . .                                     | 345        |
| 5.2      | Registro de 4 bits . . . . .                               | 345        |
| 5.2.1    | Descripción del comportamiento . . . . .                   | 346        |
| 5.2.2    | Banco de pruebas . . . . .                                 | 347        |
| 5.3      | Registro multifunción . . . . .                            | 349        |
| 5.3.1    | Descripción del comportamiento . . . . .                   | 349        |
| 5.3.2    | Banco de pruebas . . . . .                                 | 352        |
| 5.4      | Registro de desplazamiento . . . . .                       | 355        |
| 5.4.1    | Descripción del comportamiento . . . . .                   | 355        |
| 5.4.2    | Banco de pruebas . . . . .                                 | 356        |
| 5.4.3    | Banco de pruebas con acceso a fichero . . . . .            | 359        |
| 5.5      | Register file . . . . .                                    | 363        |
| 5.5.1    | Registro triestado . . . . .                               | 364        |
| 5.5.2    | Descripción estructural del register file . . . . .        | 365        |
| 5.5.3    | Drivers y función de resolución . . . . .                  | 367        |
| 5.5.4    | Banco de pruebas del register file . . . . .               | 367        |
| 5.5.5    | Descripción del comportamiento del register file . . . . . | 371        |
| 5.6      | Bus bidireccional y memorias . . . . .                     | 373        |
| 5.6.1    | Memoria de sólo lectura . . . . .                          | 373        |
| 5.6.2    | Memoria de lectura y escritura . . . . .                   | 375        |
| 5.6.3    | Bus bidireccional . . . . .                                | 376        |
| 5.7      | Lecturas recomendadas . . . . .                            | 378        |
| 5.8      | Ejercicios de autocomprobación . . . . .                   | 379        |
| 5.9      | Soluciones de los ejercicios . . . . .                     | 385        |
| <b>6</b> | <b>Diseño de lógica secuencial</b>                         | <b>403</b> |
| 6.1      | Introducción . . . . .                                     | 407        |
| 6.2      | Diseño de máquinas de estado finito . . . . .              | 407        |

|          |   |            |
|----------|---|------------|
| 6.2.1    | Circuito detector de secuencias . . . . .               | 408        |
| 6.3      | Síntesis de lógica secuencial . . . . .                 | 410        |
| 6.3.1    | Sentencias condicionales incompletas . . . . .          | 411        |
| 6.3.2    | Sentencias condicionales completas . . . . .            | 411        |
| 6.3.3    | Retardos . . . . .                                      | 411        |
| 6.3.4    | Inicialización . . . . .                                | 412        |
| 6.3.5    | Bloques process . . . . .                               | 412        |
| 6.4      | Flip-flop JK . . . . .                                  | 413        |
| 6.4.1    | Diseño del flip-flop . . . . .                          | 414        |
| 6.4.2    | Banco de pruebas . . . . .                              | 415        |
| 6.5      | Máquinas de estado finito de Moore . . . . .            | 418        |
| 6.5.1    | Diseño de la máquina . . . . .                          | 418        |
| 6.5.2    | Banco de pruebas . . . . .                              | 421        |
| 6.5.3    | Modelado estructural . . . . .                          | 424        |
| 6.6      | Máquinas de estado finito de Mealy . . . . .            | 426        |
| 6.6.1    | Diseño de la máquina . . . . .                          | 427        |
| 6.6.2    | Banco de pruebas . . . . .                              | 433        |
| 6.7      | Máquinas de estado finito seguras . . . . .             | 436        |
| 6.8      | Lecturas recomendadas . . . . .                         | 437        |
| 6.9      | Ejercicios de autocomprobación . . . . .                | 439        |
| 6.10     | Soluciones de los ejercicios . . . . .                  | 449        |
| <b>7</b> | <b>Metodología de transferencia entre registros</b>     | <b>501</b> |
| 7.1      | Introducción . . . . .                                  | 505        |
| 7.2      | Operaciones de transferencia entre registros . . . . .  | 506        |
| 7.2.1    | Operación RT básica . . . . .                           | 506        |
| 7.2.2    | Programa RT . . . . .                                   | 508        |
| 7.3      | Máquinas de estado finito con camino de datos . . . . . | 509        |
| 7.3.1    | Múltiples operaciones RT y camino de datos . . . . .    | 510        |

|          |   |            |
|----------|---|------------|
| 7.3.2    | Lógica de control mediante FSM . . . . .          | 510        |
| 7.3.3    | Diagrama de bloques básico de la FSM . . . . .    | 511        |
| 7.4      | Descripción del programa RT usando VHDL . . . . . | 513        |
| 7.5      | Circuito detector de secuencia . . . . .          | 516        |
| 7.6      | Control de una máquina expendedora . . . . .      | 518        |
| 7.6.1    | Protocolo de handshaking . . . . .                | 519        |
| 7.6.2    | Descripción del algoritmo . . . . .               | 520        |
| 7.6.3    | Diseño del circuito de control . . . . .          | 522        |
| 7.6.4    | Programación del banco de pruebas . . . . .       | 525        |
| 7.7      | Lecturas recomendadas . . . . .                   | 527        |
| 7.8      | Ejercicios de autocomprobación . . . . .          | 528        |
| 7.9      | Soluciones de los ejercicios . . . . .            | 532        |
| <b>A</b> | <b>Introducción al uso de ModelSim</b>            | <b>547</b> |
| A.1      | Instalación . . . . .                             | 549        |
| A.2      | Edición y compilación de un modelo . . . . .      | 549        |
| A.2.1    | Ventana principal del simulador . . . . .         | 549        |
| A.2.2    | Pasos para crear un proyecto . . . . .            | 550        |
| A.2.3    | Añadir ficheros al proyecto . . . . .             | 551        |
| A.2.4    | Compilación de los ficheros . . . . .             | 556        |
| A.2.5    | Banco de pruebas . . . . .                        | 558        |
| A.3      | Simulación, visualización y depurado . . . . .    | 560        |
| A.3.1    | Activación del modo simulación . . . . .          | 560        |
| A.3.2    | Visualización de los resultados . . . . .         | 562        |
| A.3.3    | Ejecución de la simulación . . . . .              | 563        |
| A.3.4    | Inserción de puntos de ruptura . . . . .          | 564        |
|          | <b>Índice alfabético</b>                          | <b>567</b> |
|          | <b>Bibliografía</b>                               | <b>573</b> |