

INSTRUCCIONES:

1. Resuelva este ejercicio en las mismas condiciones en que realizará el examen: dos horas de tiempo y sin emplear ningún material.
2. Revise sus contestaciones, empleando para ello el texto y el simulador que esté usando para estudiar la asignatura.
3. Compare sus respuestas revisadas con la solución.

Pregunta 1 (3 puntos)

Escriba en VHDL, de las formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional codificador de 4 a 2 con prioridad. A continuación, se muestran la **entity** del circuito y su tabla de la verdad.

```
entity codificadorPrioridad4a2 is
  port (  codigo      : out std_logic_vector(1 downto 0);
         activo      : out std_logic;
         x           : in  std_logic_vector(3 downto 0) );
end entity codificadorPrioridad4a2;
```

x	codigo	activo
1---	11	1
01--	10	1
001-	01	1
0001	00	1
0000	00	0

En el código VHDL de la **architecture**, emplee para evaluar la señal `codigo`:

- 1.a)** (0.75 puntos) Una asignación concurrente condicional (**when - else**).
- 1.b)** (0.75 puntos) Una asignación concurrente de selección (**with - select**).
- 1.c)** (0.75 puntos) Una sentencia **if**.
- 1.d)** (0.75 puntos) Una sentencia **case**.

Pregunta 2 (2 puntos)

Diseñe en VHDL, usando una asignación concurrente condicional (**when-else**), la **architecture** de un circuito combinacional desplazador de 4 bits de entrada, que realice las operaciones indicadas en la tabla siguiente.

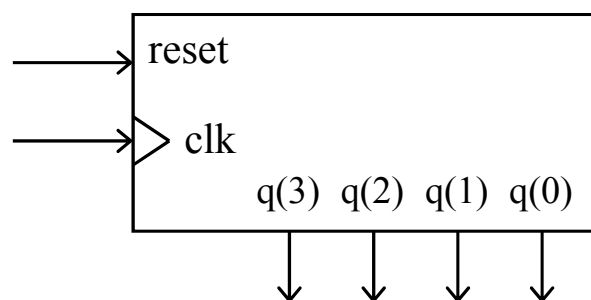
op	Operación
0 0	Desplaza a la izquierda rellenando con '0'
0 1	Desplaza a la derecha rellenando con '0'
1 0	Rota a la izquierda
1 1	Rota a la derecha

A continuación se muestra la **entity** del circuito desplazador de 4 bits:

```
entity desplazador is
  port ( salida      : out std_logic_vector(3 downto 0);
        op          : in  std_logic_vector(1 downto 0);
        entrada     : in  std_logic_vector(3 downto 0) );
end entity desplazador;
```

Pregunta 3 (3 puntos)

Diseñe en VHDL la **architecture** que describe el comportamiento de un circuito contador en anillo de 4 bits, con señal de reset asíncrona. En la figura se muestran los puertos del circuito. Debajo de la figura está la declaración de la **entity** del circuito.



```
entity ring_counter is
  port( q          : out std_logic_vector(3 downto 0);
        clk, reset : in  std_logic );
end entity ring_counter;
```

El circuito se comporta de la forma siguiente. Cuando la señal de reset se pone a 1, la salida del contador se pone al valor 0001. Mientras la señal de reset está a 0, el contador funciona de manera síncrona, rotando circularmente hacia la derecha el patrón de bits: 0001, 1000, 0100, 0010, 0001, 1000, 0100, y así sucesivamente. La operación de desplazamiento se produce en el flanco de subida de la señal de reloj.

Pregunta 4 (2 puntos)

Programe en VHDL un banco de pruebas para el contador en anillo de 4 bits que ha diseñado al contestar a la Pregunta 3. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan.