

INSTRUCCIONES:

1. Resuelva este ejercicio en las mismas condiciones en que realizará el examen: dos horas de tiempo y sin emplear ningún material.
2. Revise sus contestaciones, empleando para ello el texto y el simulador que esté usando para estudiar la asignatura.
3. Compare sus respuestas revisadas con la solución.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x, z1 y z2 entre los instantes 0 y 60 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal z1: std_logic_vector (3 downto 0);
    signal z2: std_logic_vector (3 downto 0);
    signal x:  std_logic_vector (3 downto 0);
begin
process is
    begin
        for i in 0 to 3 loop
            wait for 10 ns;
            x<=std_logic_vector(TO_UNSIGNED(i,4));
            z1<=x;
        end loop;
    end process;
    z2<=x;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Escriba en VHDL, de las cuatro formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional decodificador 3 a 8 con entrada enable. La **entity** del circuito es:

```
entity decodificador8 is
    port ( x          : out std_logic_vector(7 downto 0);
          s          : in  std_logic_vector(2 downto 0);
          enable     : in  std_logic );
end entity decodificador8;
```

2.a) (0.75 puntos) Empleando una sentencia concurrente condicional (**when - else**).

2.b) (0.75 puntos) Empleando una asignación concurrente de selección (**with - select**).

2.c) (0.75 puntos) Empleando un bloque **process** con una sentencia **if**.

2.d) (0.75 puntos) Empleando un bloque **process** con una sentencia **case**.

Pregunta 3 (3 puntos)

Realice el diseño usando VHDL de un contador síncrono BCD. Es decir, la salida del circuito toma cíclicamente los valores “0000”, “0001”, “0010”, “0011”, “0100”, “0101”, “0110”, “0111”, “1000” y “1001”. Se obtiene un nuevo valor de la salida en cada flanco de subida de la señal de reloj. El contador debe tener una entrada *reset* asíncrona activa a nivel alto, que pone la cuenta a cero. Describa el comportamiento del circuito en términos de una máquina de Moore.

La **entity** del circuito es:

```
entity contador is port(
    count      : out std_logic_vector(3 downto 0);
    clk, reset : in  std_logic);
end entity contador;
```

Pregunta 4 (2 puntos)

Programe en VHDL el banco de pruebas del circuito secuencial que ha diseñado al contestar a la Pregunta 3. Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.