

INSTRUCCIONES:

1. Resuelva este ejercicio en las mismas condiciones en que realizará el examen: dos horas de tiempo y sin emplear ningún material.
2. Revise sus contestaciones, empleando para ello el texto y el simulador que esté usando para estudiar la asignatura.
3. Compare sus respuestas revisadas con la solución.

Pregunta 1 (2 puntos)

1.a) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 1*.

1.b) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 2*.

```
---- Fragmento 1-----  
with sel select  
  tmp <= '1' when ``01``|``11``,  
        '0' when others;  
y <= 'Z' when sel = ``00`` else tmp;
```

```
---- Fragmento 2-----  
if boolean_expr_1 then  
  if boolean_expr_2 then  
    a <= b;  
  else  
    a <= c;  
  end if;  
else  
  a <= d;  
end if;
```

Pregunta 2 (2 puntos)

Escriba en VHDL la **entity** y la **architecture** que describe:

2.a) (0.25 puntos) El comportamiento de una puerta NOT de 1 entrada.

2.b) (0.25 puntos) El comportamiento de una puerta AND de 4 entradas.

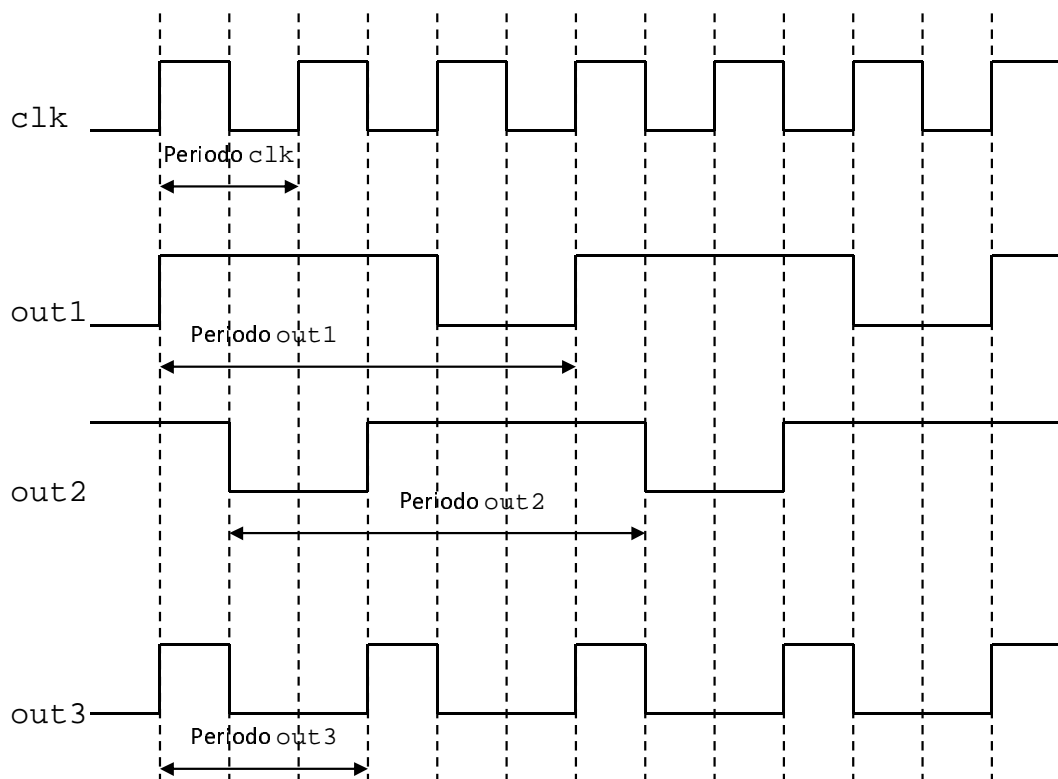
2.c) (1.5 puntos) La estructura de un circuito combinacional decodificador 3 a 8 con entrada enable. La **architecture** debe describir la estructura del circuito combinacional, instanciando y conectando adecuadamente las puertas lógicas cuyo diseño ha realizado al contestar los dos apartados anteriores.

Pregunta 3 (3 puntos)

Programa en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar la Pregunta 2c. Explique detalladamente cómo el programa de test comprueba exhaustivamente el valor de la UUT para todos los posibles valores de la entrada. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Escriba en VHDL la **architecture** que modela el comportamiento de un circuito digital que, a partir de una señal del reloj `clk`, genera las tres señales mostradas a continuación.



En el diseño del circuito, implemente dos máquinas de estado, una que opere exclusivamente en la transición positiva de la señal `clk` y otra que opere exclusivamente en la transición negativa. Estas máquinas de estado generan las señales `out1` y `out2`. Obtenga la señal `out3` mediante una AND lógica de las señales `out1` y `out2`.

A continuación se muestra el código VHDL de la **entity** del circuito.

```
entity gen is port(  
    out1, out2, out3 : out std_logic;  
    clk              : in  std_logic );  
end entity gen;
```