

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

1.a) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 1*.

1.b) (1 punto) Dibuje el diagrama conceptual correspondiente al fragmento de código *Fragmento 2*.

```
---- Fragmento 1-----  
signal a, b, r : unsigned (7 downto 0);  
signal x, y    : unsigned (3 downto 0);  
...  
r <=  a when x+y>1 else  
      a-b when x>y and y>0 else  
      b;
```

```
---- Fragmento 2-----  
signal s: std_logic_vector (1 downto 0);  
signal a, b, x : std_logic;  
...  
with s select  
  x <= (a xor b) when "00",  
       (a and b) when "01"|"10",  
       '0' when others;
```

Pregunta 2 (3 puntos)

Diseñe en VHDL los circuitos combinacionales indicados a continuación.

- 2.a)** (1 punto) Un circuito con tres entradas y una salida, tal que la salida valga '1' si dos o más de las entradas valen '1'. Realice el diseño empleando un bloque **process** con una o varias sentencias **if**. La **entity** del circuito se muestra a continuación.

```
entity majority is
  port ( Y      : out std_logic;
        A, B, C : in  std_logic
        );
end entity majority;
```

- 2.b)** (1 punto) Un circuito con siete entradas y tres salidas, tal que los tres bits de salida indiquen la entrada con mayor prioridad que está a '1'. La **entity** del circuito se muestra a continuación. La entrada Y7 es la de mayor prioridad y la Y1 la de menor. Si ninguna de las entradas está a '1', la salida deberá ser "000". Realice el diseño empleando una asignación concurrente de selección.

```
entity priority is
  port ( DOUT : out std_logic_vector(2 downto 0);
        Y1,Y2,Y3,Y4,Y5,Y6,Y7 : in  std_logic
        );
end entity priority;
```

- 2.c)** (1 punto) Diseñe el circuito anterior empleando un bloque **process** con una o varias sentencias **if**.

Pregunta 3 (3 puntos)

Se quiere diseñar un contador síncrono con señal de reset asíncrona y con control del modo de la cuenta (binaria ascendente o avance según el código de Gray). El circuito tiene las siguientes señales de entrada de un bit: la señal de reloj `clk`, la señal de cambio de modo `M` y señal de reset asíncrona `reset` activa a nivel alto. El circuito tiene la señal de salida `s` de tres bits.

Cuando la señal `reset` está a nivel alto, la señal de salida `s` tiene el valor "000". Si la señal `M` tiene el valor '0', el contador es binario ascendente. Por el contrario, si la señal `M` tiene el valor '1', el contador avanza según el código de Gray. El código de Gray es el siguiente: "000", "001", "011", "010", "110", "111", "101", "100". Por ejemplo, si la salida anterior fue "011", la señal de `reset` no está activa y la señal `M` tiene el valor '1', la señal `s` toma el valor "010". Pero si la señal `M` tiene el valor '0', la señal `s` toma el valor "100".

Programa en VHDL el circuito contador describiendo su comportamiento como una máquina de estado finito de tipo Moore que tiene las transiciones en el flanco de subida de la señal de reloj. Dibuje el diagrama de estado correspondiente al diseño realizado.

Pregunta 4 (2 puntos)

Programa en VHDL un banco de pruebas para el circuito que ha diseñado al contestar a la Pregunta 3. La señal de reloj (`clk`) debe tener un periodo de 20 ns e inicialmente valer '0'. El primer flanco de subida de la señal de reloj se ha de producir en el instante 10 ns. El programa de test debe realizar consecutivamente las acciones siguientes:

1. *Reset.* La señal de reset ha de tener el valor '1' durante los primeros 15 ns.
2. *Mantener la cuenta binaria ascendente durante tres periodos de la señal de reloj.*
3. *Cambiar la cuenta para que avance según el código de Gray. Mantener esta cuenta durante tres periodos de la señal de reloj.*

El programa de test debe mostrar mensajes de error en el caso de que la señal de salida no tome el valor esperado. Dibuje el cronograma de las señales aplicadas al circuito y las salidas esperadas.