

INGENIERÍA DE COMPUTADORES III

Apellidos: _____ Nombre: _____

DNI: _____ Centro Asociado en el que está MATRICULADO: _____

INSTRUCCIONES: Complete sus datos personales en la cabecera de esta hoja y en todas las demás hojas del examen.

Entregue esta hoja de enunciado junto con el examen.

Dispone de **2 horas** para realizar el examen.

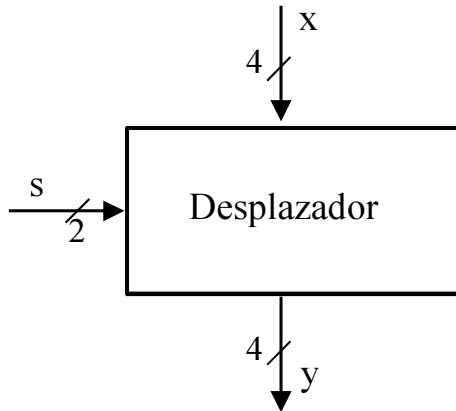
MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales clk, x, a, b, c e y entre los instantes 0 y 1000 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;
architecture cronol of cronol is
    signal a, b, c, x, y: std_logic;
    constant PERIODO : time := 200 ns;
    signal clk : std_logic:= '0';
begin
    process (clk)
    begin
        if ( rising_edge(clk) ) then
            a <= x;
            b <= a;
            c <= b;
            y <= c;
        end if;
    end process;
    clk <= not clk after (PERIODO/2);
    gen_vec_test : process is
    begin
        x<='0'; wait until falling_edge(clk);
        x<='1'; wait until falling_edge(clk);
        x<='1'; wait until falling_edge(clk);
        x<='0'; wait until falling_edge(clk);
        wait;
    end process gen_vec_test;
end architecture cronol;
```

Pregunta 2 (3 puntos) A continuación, se muestra el símbolo lógico y la tabla de operaciones de un circuito combinacional desplazador.



s(1)	s(0)	y(3)	y(2)	y(1)	y(0)	Operación
0	0	x(2)	x(1)	x(0)	'0'	Desplaza a la izquierda rellenando con 0
0	1	'1'	x(3)	x(2)	x(1)	Desplaza a la derecha rellenando con 1
1	0	x(2)	x(1)	x(0)	x(3)	Rota a la izquierda
1	1	x(0)	x(3)	x(2)	x(1)	Rota a la derecha

- 2.a)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta NOT.
- 2.b)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta AND de 3 entradas.
- 2.c)** (0.25 puntos) Escriba en VHDL la **entity** y la **architecture** que describe el comportamiento de una puerta OR de 2 entradas.
- 2.d)** (0.25 puntos) Dibuje el diagrama a nivel de puertas lógicas del circuito combinacional desplazador. Emplee para ello únicamente puertas NOT, puertas AND de 3 entradas y puertas OR de 2 entradas.
- 2.e)** (2 puntos) Escriba en VHDL la **entity** y la **architecture** que describe la estructura del circuito desplazador siguiendo el diagrama dibujado en el apartado anterior y empleando las puertas lógicas cuyo diseño ha realizado al contestar los tres primeros apartados. Las señales de entrada y salida del circuito desplazador han de tener los mismos nombres que los mostrados en la figura del símbolo lógico del circuito desplazador.

Pregunta 3 (2 puntos)

Programe en VHDL el banco de pruebas del circuito combinacional que ha diseñado al contestar a la Pregunta 2.e). Explique detalladamente cómo el programa de test comprueba de manera sistemática el funcionamiento del circuito. El banco de pruebas debe comprobar que los valores obtenidos de la UUT coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.

Pregunta 4 (3 puntos)

Escriba en VHDL la **architecture** que describe el comportamiento de los dos componentes siguientes:

- 4.a)** (1.5 puntos) Un latch D con entrada enable activa a nivel alto y una señal de reset asíncrona activa a nivel bajo, cuya **entity** se muestra a continuación. El latch tiene tres señales de entrada: D, Enable y Reset. El latch tiene una única señal de salida (Q), cuyo valor es el del estado del circuito. El latch tiene una señal de reset asíncrona activa a nivel bajo (Reset). La señal Enable habilita o deshabilita la carga del latch. Si la señal Enable vale '0' la carga del latch desde la entrada D está deshabilitada. Por el contrario, si la señal Enable vale '1' se asigna el valor de la entrada D a la salida Q.

```
entity D_latch is
port (
           Q: out std_logic;
           D, Enable, Reset: in std_logic );
end entity D_latch;
```

- 4.b)** (1.5 puntos) Un flip-flop D, disparado por el flanco de subida del reloj. Además de la entrada de reloj (clk), el flip-flop tiene otras tres señales de entrada: D, Enable y Reset. El flip-flop tiene una única señal de salida (Q), cuyo valor es el del estado del circuito. El flip-flop tiene una señal de reset síncrona activa a nivel alto (Reset). La señal Enable habilita o deshabilita la carga del flip-flop. Si la señal Enable vale '0' la carga del flip-flop desde la entrada D está deshabilitada. Por el contrario, si la señal Enable vale '1' se asigna el valor de la entrada D a la salida Q en el flanco de subida de la señal de reloj.

La **entity** del flip-flop D se muestra a continuación.

```
entity D_biestable is
port (
           Q: out std_logic;
           D, clk, Reset, Enable: in std_logic);
end entity D_biestable;
```