

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4 y x5 entre los instantes 0 y 120 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronoW is
end entity cronoW;
architecture cronoW of cronoW is
    signal x1, x2, x3, x4, x5 : std_logic;
begin
    x1 <= '1', '0' after 10 ns,
         '1' after 20 ns, '0' after 25 ns,
         '1' after 40 ns;
    Proc1: process
    begin
        x2 <= '1';
        wait for 10 ns;
        x2 <= '0';
        wait for 15 ns;
        x2 <= '1';
        wait for 20 ns;
        x2 <= '0';
    end process;
    x3 <= x1 after 10 ns;
    Proc2: process
        variable valor : std_logic;
    begin
        for i in 0 to 3 loop
            valor := x1 xor x2;
            x4 <= valor;
            x5 <= x4;
            wait for 10 ns;
        end loop;
        wait;
    end process;
end architecture cronoW;
```

Pregunta 2 (3 puntos)

Escriba en VHDL, de las cuatro formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional decodificador 3 a 8 con entrada enable activa a nivel alto (señal En). La **entity** del circuito es:

```
entity decodificador is
  port ( Yout : out std_logic_vector (7 downto 0);
        Ain : in std_logic_vector (2 downto 0);
        En: in std_logic);
end entity decodificador;
```

2.a) (0.75 puntos) Empleando una sentencia concurrente condicional (**when - else**).

2.b) (0.75 puntos) Empleando una asignación concurrente de selección (**with - select**).

2.c) (0.75 puntos) Empleando un bloque **process** con una sentencia **if**.

2.d) (0.75 puntos) Empleando un bloque **process** con una sentencia **case**.

En aquellos casos en que sea necesario, se podrán emplear otras sentencias a parte de las especificadas.

Pregunta 3 (3 puntos)

Diseñe usando VHDL el siguiente circuito secuencial síncrono. El circuito opera en el flanco de subida de la señal de reloj (`clk`) y tiene como entradas la señal de reloj `clk`, una señal `reset` asíncrona activa a nivel alto y una señal de un bit `X`. El circuito tiene una señal de salida de un bit `Z`.

El circuito realiza cíclicamente los siguientes pasos:

1. No le ha llegado ningún bit al circuito. La señal de salida `Z` tiene el valor '0'.
2. El circuito recibe bits consecutivamente, y trabaja para reconocer la secuencia no solapada "010" de los tres últimos bits de la entrada `X`. La señal de salida `Z` mantiene el valor '0'. En caso de reconocer la secuencia, se pasa al paso tres, donde permanece 30 segundos.
3. La señal de salida `Z` tiene el valor '1'. No se reconoce ninguna secuencia de entrada.

La señal `reset` inicializa el circuito poniendo el circuito en el paso 1. Diseñe el circuito como una máquina de Moore. Dibuje un diagrama con los estados del circuito. Escriba el código VHDL de la **entity** y **architecture** que describe el comportamiento del circuito siguiendo el diagrama de estados descrito anteriormente.

Pregunta 4 (2 puntos)

Programe en VHDL el banco de pruebas del decodificador que ha diseñado al resolver la Pregunta 2. El banco de pruebas debe comprobar el funcionamiento del circuito de forma exhaustiva. El banco de pruebas debe generar un conjunto de vectores de test, comprobar si la salida de la UUT es correcta, mostrar un mensaje cada vez que la salida de la UUT no sea correcta y mostrar un mensaje al finalizar el test en el que se indique el número total de salidas incorrectas.