

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue esta primera hoja de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4, temp4 y temp5 entre los instantes 0 y 100 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal x1, x2 : std_logic;
    signal x3, x4 : std_logic;
    signal temp4, temp5: std_logic;
begin
    process (x2)
        variable temp1, temp2: std_logic;
    begin
        temp1 := x2;
        temp2 := temp1;
        x3 <= temp2;
        temp4 <= x2;
        temp5 <= temp4;
        x4 <= temp5;
    end process;
    x1 <= x3 after 20 ns;
    x2 <= '0', '1' after 10 ns, '0' after 20 ns,
        '1' after 30 ns, '0' after 40 ns, '1' after 65 ns;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Diseñe usando VHDL una calculadora aritmética descrita como un circuito secuencial síncrono que opera en el flanco de subida de la señal de reloj. El circuito tiene un registro interno de 8 bits y una señal de salida de 8 bits llamada `result`. La señal `result` tiene el mismo valor que el contenido del registro interno del circuito.

El circuito tiene las señales de entrada siguientes: una señal de entrada de datos de 8 bits llamada `dIn`, una señal de reloj `clk` y tres señales de control síncronas activas a nivel alto.

Las señales de control del circuito son las siguientes:

- `clear`: pone a '0' todos los bits del registro interno. Esta es la señal más prioritaria. Es decir, si está activa pone a '0' todos los bits del registro interno en el flanco de subida de la señal de reloj con independencia del valor del resto de señales de control.
- `load`: habilita la carga del valor de la señal de entrada `dIn` en el registro interno. Esta es la segunda señal más prioritaria.
- `add`: habilita la carga en el registro interno del valor resultante de sumar el valor de la señal de entrada de datos `dIn` y el valor del registro interno interpretados como binarios con signo. Esta es la señal menos prioritaria. Es decir, no habilita la carga del valor resultante de la suma si alguna de las otras señales de control tiene el valor '1'.

Escriba en VHDL la **architecture** que describe el comportamiento del circuito empleando únicamente un bloque **process** y sentencias concurrentes. Asimismo, en el diseño únicamente pueden emplearse los dos siguientes paquetes de la librería IEEE:

```
IEEE.std_logic_1164
IEEE.numeric_std
```

El circuito ha de tener la **entity** siguiente:

```
entity Calculadora is
  port( result: out std_logic_vector ( 7 downto 0));
        clk: in std_logic;
        clear, load, add : in std_logic;
        dIn : in std_logic_vector ( 7 downto 0));
end entity Calculadora;
```

Pregunta 3 (3 puntos)

Diseñe un circuito secuencial síncrono para la regulación del semáforo de los vehículos en un paso de peatones. El semáforo de los vehículos tiene tres lámparas: verde, ámbar y rojo. La **entity** del circuito se muestra a continuación.

```
entity regulador is
    port ( rojo, verde, ambar : out std_logic;
          clk, reset, p      : in  std_logic );
end regulador;
```

Las entradas al circuito son la señal de reloj (`clk`) de 1 Hz, la señal de reset asíncrona (`reset`) activa a nivel bajo y la señal síncrona activa a nivel bajo `p`. El valor de la señal `p` sólo se tiene en cuenta si únicamente está encendida la luz verde del semáforo de vehículos. Las señales de salida `rojo`, `verde` y `ambar` controlan, respectivamente, las lámparas roja, verde y ámbar del semáforo de vehículos. La lámpara está encendida cuando la señal que controla dicha lámpara está a '1' y está apagada cuando está a '0'. El circuito describe el siguiente comportamiento:

- La señal de reset enciende la luz verde del semáforo y apaga el resto de luces.
- La luz verde del semáforo de vehículos está encendida indefinidamente, siempre que la señal `p` tenga el valor '1'. Si la luz verde del semáforo está encendida y la señal `p` toma el valor '0', se realiza en el siguiente flanco de subida de la señal de reloj la siguiente acción: se enciende la luz ámbar sin apagar la luz verde.
- Las luces ámbar y verde deben permanecer encendidas 5 segundos. Transcurridos los 5 segundos se han de apagar ambas y encender la luz roja.
- La luz roja ha de permanecer encendida 40 segundos. Cuando se apaga la luz roja, se vuelve a encender la luz verde.

El circuito se ha de diseñar como una máquina de Moore que opera en el flanco de subida de la señal de reloj. Dibuje el diagrama de estados del circuito. Escriba el código VHDL de la **architecture** que describe el comportamiento del circuito siguiendo el anterior diagrama de estados.

Pregunta 4 (2 puntos)

Programe el banco de pruebas del circuito secuencial que ha diseñado en la Pregunta 3. El banco de pruebas ha de resetear el circuito y comprobar que se producen correctamente las transiciones de estado hasta alcanzar el estado inicial. El banco de pruebas debe comprobar que los valores de las señales de salida circuito secuencial coinciden con los esperados, mostrando el correspondiente mensaje en caso de que no coincidan. Al final del test, debe mostrarse un mensaje indicando el número total de errores.