

INGENIERÍA DE COMPUTADORES III

INSTRUCCIONES

Por favor, entregue todas las hojas de enunciado junto con el examen.

Dispone de 2 horas para realizar el examen.

MATERIAL PERMITIDO: Ninguno.

Pregunta 1 (2 puntos)

Tomando como base el siguiente código VHDL, dibuje el cronograma de evolución de las señales x1, x2, x3, x4, x5 entre los instantes 0 y 60 ns.

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;
entity cronol is
end entity cronol;

architecture cronol of cronol is
    signal x1, x2, x3, x4, x5 : std_logic;
begin
    process is
        variable temp : unsigned (2 downto 0);
    begin
        for i in 0 to 3 loop
            temp := TO_UNSIGNED(i,3);
            x1 <= std_logic(temp(2));
            x2 <= std_logic(temp(1));
            x3 <= std_logic(temp(0));
            wait for 10 ns;
        end loop;
        wait;
    end process;
    x4 <= x3 after 5 ns;
    x5 <= x3 after 15 ns;
end architecture cronol;
```

Pregunta 2 (3 puntos)

Escriba en VHDL, de las cuatro formas que se detallan a continuación, la **architecture** que describe el comportamiento de un circuito combinacional multiplexor 8 a 1. La **entity** del circuito es:

```
entity mux is
  port ( y : out std_logic;
        x : in  std_logic_vector(7 downto 0);
        s : in  std_logic_vector(2 downto 0) );
end entity mux;
```

- 2.a) (0.75 puntos) Empleando una sentencia concurrente condicional (**when - else**).
- 2.b) (0.75 puntos) Empleando una asignación concurrente de selección (**with - select**).
- 2.c) (0.75 puntos) Empleando un bloque **process** con una sentencia **if**.
- 2.d) (0.75 puntos) Empleando un bloque **process** con una sentencia **case**.

Pregunta 3 (3 puntos) Escriba el código VHDL de la **architecture** que describe el comportamiento de un circuito contador binario de 3 bits cuya salida sigue cíclicamente la secuencia “000”, “011”, “110”, “101” y “111”, con señal de reset asíncrona activa a nivel alto. La **entity** del circuito se muestra a continuación.

```
entity contador is
  port ( count : out std_logic_vector (2 downto 0);
        clk, reset : in  std_logic );
end contador;
```

Las entradas al circuito son la señal de reloj (`clk`) y la señal de reset asíncrono activo a nivel alto (`reset`). La salida del circuito contador es la señal de 3 bits `count`.

El funcionamiento del circuito debe ser el siguiente:

- *Reset asíncrono activo a nivel alto.* Cuando `reset` pasa a valer '1', el contador se pone al valor “000”.
- *Cuenta síncrona.* Mientras `reset` vale '0', el contador pasa en cada flanco de subida de la señal de reloj por la secuencia “000”, “011”, “110”, “101” y “111”.

El diseño debe realizarse describiendo el comportamiento del circuito en términos de una máquina de Moore.

Pregunta 4 (2 puntos)

Programa en VHDL un banco de pruebas para el contador que ha diseñado al contestar a la Pregunta 3. La señal de reloj (*clk*) debe tener un periodo de 10 ns e inicialmente valer '0'. El programa de test debe realizar las acciones siguientes:

1. *Reset*. Resetear el contador.
2. *Cuenta síncrona* . Incrementar el valor del contador hasta "111".
3. *Reset*. Resetear el contador.

El correcto funcionamiento del circuito debe comprobarse mediante inspección visual. No es necesario que el banco de prueba compruebe que las salidas de la UUT son las esperadas. Dibuje el cronograma de evolución que han de seguir las señales de entrada y salida de la UUT.